

GB/T 17574—1998

前 言

本标准等同采用国际电工委员会标准 IEC 748-2:1985《半导体器件 集成电路 第2部分:数字集成电路》及修改单(1993)进行编写。

本标准的编制将促进我国半导体数字集成电路的国际贸易、技术和经济交流。

本标准引用的 GB/T 17573《半导体器件 分立器件和集成电路 第1部分 总则》和 GB/T 16464—1996《半导体器件 集成电路 第1部分 总则》分别等同采用 IEC 747-1:1983 及 1993 年的修订和 IEC 748-1:1984 及 1993 年的两次修订。

本标准由中华人民共和国电子工业部提出。

本标准由全国集成电路标准化分技术委员会归口。

本标准起草单位:电子工业部标准化研究所。

本标准主要起草人:李燕荣、张宏图。

IEC 前言

1) IEC(国际电工委员会)在技术问题上的正式决议或协议,是由对这些问题特别关切的国家委员会参加的技术委员会制定的,对所涉及的问题尽可能地代表了国际上的一致意见。

2) 这些决议或协议,以推荐标准的形式供国际上使用,并在此意义上为各国家委员会所认可。

3) 为了促进国际上的统一,IEC 希望各国家委员会在本国条件许可的情况下,采用 IEC 标准的文本作为其国家标准。IEC 标准与相应国家标准之间的差异,应尽可能在国家标准中指明。

IEC 序言

本标准由 IEC TC 47 半导体器件制订。

IEC 748-2 构成了集成电路通用标准 IEC 748 的第二部分。

本标准与 IEC 747-1 和 IEC 748-1 通用标准构成了数字集成电路的标准。

TC47 1982 年 9 月在伦敦召开会议,批准了将标准 IEC 147 和 IEC 148 按器件分类,重新编排整理的方案。因为所有组成部分预先已经按照六个月法或两个月程序表决批准,不再重新表决。

标准 IEC 147 和 IEC 148 中涉及集成电路的内容已包括在 IEC 747-1 和 IEC 748 标准中。

标准 IEC 147-5 和 IEC 147-5A 中涉及机械和气候测试方法的内容已包括在 IEC 749 标准中。

由于 TC47 的工作连续性以及考虑集成电路领域的发展,通过修订和补充文件以保证标准的先进性。

本标准完全替代 IEC 147-1D 和 IEC 147-2L 标准的内容。

中华人民共和国国家标准

半导体器件

集成电路

第2部分:数字集成电路

GB/T 17574—1998
idt IEC 748-2:1985

Semiconductor devices
Integrated circuits
Part 2: Digital integrated circuits

第 I 篇 总 则

1 引言

通常,本标准需要与 GB/T 17573—1998 和 GB/T 16464—1996 标准一起使用。

在 GB/T 17573 和 GB/T 16464 标准中,可查到下列的全部基本资料:

- 术语;
- 文字符号;
- 基本额定值和特性;
- 测试方法;
- 接收和可靠性。

2 范围

本标准给出了下列各类或各分类器件的标准:

- 组合和时序数字电路;
- 存储器集成电路;
- 微处理器集成电路;
- 电荷转移器件。

第 II 篇 术语和文字符号

1 组合和时序集成电路的术语

1.1 通用术语

信号是信息的物理表示。数字信号是与时间有关的物理量的状态或变化,这个物理量具有数目有限的几个不重叠的值域。数字信号可用于信息的传输或信息处理。考虑到实际情况,下面选择了一些简化的定义。对于数字电路,一般不会产生误解或歧义。

1.1.1 数字信号 digital signal

不重叠值域为有限的随时间变化的物理量,用于信息的传输和处理。

注

- 1 物理量可以是电压、电流或阻抗等。
- 2 为方便起见,每个值域可用单一数值表示,例如标称值。

1.1.2 二进制信号 binary signal

仅有两个可能值域的数字信号。

注:为方便起见,每个值域可用单一数值表示,例如标称值。

1.1.3 (二进制信号的)低值域 low range(of a binary signal)

二进制信号的最低正电平(最高负电平)的范围

注:这个范围通常用“L 值域”表示,此范围内的电平用“L-电平”表示。

1.1.4 (二进制信号的)高值域 high range(of a binary signal)

二进制信号的最高正电平(最低负电平)的范围。

注:这个范围通常用“H 值域”表示,此范围内的电平用“H-电平”表示。

1.1.5 输入端 input terminal

一种在其上施加信号,可直接地改变电路的输出组态(输出图形),或通过改变电路对其他引出端的响应方式,间接改变电路输出组态(输出图形)的引出端。

1.1.6 三态输出 three-state output

在高电平和低电平时呈相对的低阻抗的源或沉,且在适当的输入条件下,提供近似开路的高阻态的二进制电路的输出。

注:在功能表和功能(时序的)图里,用缩写“Z”表示高阻态。

1.2 与功能有关的术语

1.2.1 (二进制电路的)输入阻态(输入图形) input configuration (input pattern)(of a binary circuit)

在给定瞬间,输入端上低电平和高电平的组合。

1.2.2 (二进制电路的)输出组态(输出图形) output configuration (output pattern)(of a binary circuit)

在给定瞬间,输出端上低电平和高电平的组合。

注:当不致产生歧义时,输出组态(输出图形)可以用电路指定输出端(参考输出端)的信号电平(低电平或高电平)来表示。

1.2.3 功能表 function table

用来表示数字电路的输入端和输出端的数字信号值之间的必需的或可能的关系,且这些数字信号值可以直接用电量值来表示,也可由已规定电学含义的符号(例如二进制电路的 L 和 H)来表示的表达方法。

通常:

- 每列给出数字电路的一个输入端上或一个输出端上数字信号值;
- 每行给出输入端上数字信号值及输出端上所产生的数字信号的结果值;
- 如果输出端上数字信号值是不确定时,则应用问号表示;
- 如果输入端上数字信号值不起作用时,则应用符号“L/H”或“X”表示。

1.2.4 真值表(表示数字变量间的关系) truth table(for a relation between digital variables)

用表格来表示一个或多个数字自变量与一个或多个数字因变量之间的逻辑关系。即对于数字自变量值的每种可能的组合,给出相对应的数字因变量值的表示方法。

注:将“功能表”和“真值表”区别开来是必要的,因为同一个数字电路可依据数字自变量对数字电参量赋值的任意选择,可以完成几种不同的逻辑操作。

1.2.5 激励 excitation

一种输入组态(输入图形),或输入组态(输入图形)的变化。其作用能够直接或与已存在的预备状态

一起改变的电路输出组态(输出图形);或者使电路进入预备状态;或者取消或改变已存在的预备状态。

注

- 1 给定激励的重复或反复不一定产生相同的结果。
- 2 某些情况下,激励使已建立的输出组态(输出图形)保持不变。

1.2.6 (时序电路数字输入信号的)有效电平 active level (of a digital input signal to a sequential circuit)

能产生激励的数字输入信号的电平。

1.2.7 (时序电路数字输入信号的)有效转换 active transition (of a digital input signal to a sequential circuit)

一种数字输入信号从一个电平到另一个电平,并能产生激励的转换。

注:有效转换也可能受信号斜率的限制。

1.2.8 (时序电路的)稳定输出组态(输出图形) stable output configuration(output pattern)(of a sequential circuit)

一种在产生它的激励或维持它的任何其他激励被非激励的输入组态(输入图形)代替后,或者在没有激励的情况下,仍保持不变的电路输出组态(输出图形)。

注:任何由于不希望的电容、存储时间和传输时间等作用而造成短时间的输出组态(输出图形)不予以考虑。

1.2.9 (时序电路的)伪稳定输出组态(输出图形) pseudo-stable output configuration(output pattern)(of a sequential circuit)

一种在产生它的激励或维持它的其他激励被非激励的输入组态(输入图形)代替后,则不再继续存在的输出组态(输出图形)。

注:任何由于不希望的电容、存储时间和传输时间等作用而造成短时间的输出组态(输出图形)不予以考虑。

1.2.10 (时序电路的)亚稳定输出组态(输出图形) meta-stable output configuration (output pattern)(of a sequential circuit)

一种在施加适当的激励之后,仅在有限的延续时间内存在的输出组态(输出图形)。

注

- 1 亚稳定输出组态(输出图形)的延续时间取决于电路的设计、以及产生该输出组态(输出图形)的激励的持续时间,还可能受后续激励的影响。
- 2 任何由于不希望的电容、存储时间和传输时间等作用而造成短时间的输出组态(输出图形)不予以考虑。

1.2.11 功能(时序)矩阵 function (sequential) matrix

一种列有若干输入,并对于每种输入组态可给出可能产生的输出组态,且在其上可直接读出从每一个输入组态转变为其他输入组态而产生的输出组态表。

注:适当时,用矩阵附加数据或所涉及时间条件(例如:为产生一个预期的新的输出组态,输入电平的转换时间、输入组态的延迟时间)的详细内容来完善功能(时序)矩阵。

1.2.12 预备输入端 preparatory input terminal

一种输入端,在该端施加数字信号可以改变电路对其他输入端上的信号的响应,而不直接引起电路的输出组态(输出图形)的变化。

1.2.13 允许输入 enable input

一种输入,当它有效时,允许一个或多个规定操作开始执行。

注

- 1 “允许”的信号可以是这样:
 - a) 当它维持在一个规定的电平时,允许执行一个或多个操作;或者
 - b) 锁存操作在“允许”信号撤除之后,该操作持续进行。
- 2 “允许”是一个通用术语,需要时,可以用适当的补充说明限定。

1.2.14 片允许输入 chip-enable input

一种允许输入,当其无效时,使集成电路进入降功率等待状态。

1.2.15 片选输入 chip-select input

一种允许输入,当其无效时,阻止集成电路输入和输出数据。

1.2.16 输出允许输入 output enable input

一种允许输入,当其无效时,阻止集成电路输出数据。

注:当没有允许输入时,输出将呈现出低电平、高电平或悬空状态(高阻态),取决于电路的特殊设计。

1.2.17 写允许输入 write-enable input

一种输入,当其有效时,允许数据进入存储器。

1.2.18 不允许输入;禁止输入 disable input;inhibit input

一种输入,当其有效时,阻止执行一个或多个规定操作。

注

1 这两个术语的使用可根据对“允许输入”是强调互补还是强调否定来选择。

2 允许输入无效时,能禁止或阻止在它有效时所允许的操作;相反地,不允许输入无效时,能许可在它有效时所阻止的操作执行。

1.2.19 电平工作输入 level-operated input

一种输入,只要其保持在一个有效的电平上就持续起作用(引起激励)。

1.2.20 转换工作输入 transition-operated input

一种仅在转换的两个方向之一是有效的(产生激励)输入;或者仅从一个电平到另一个电平的转换速率足够大时才能引起激励的一种输入。

1.2.21 置位 set

(1) (ISO)使计数器进入符合规定数的状态。

(2) (ISO)使存储器件置入通常不表示零的规定状态。

注:与“复位”相反。

1.2.22 复位 reset

(1) (ISO)使计数器进入符合规定初始数的状态。

(2) (ISO)使存储器件恢复到规定的未必一定表示零的初始状态。

注:与“置位”相反。

1.3 电路类型

1.3.1 数字电路 digital circuit

依靠输入端和输出端的数字信号进行工作的电路。

注

1 本定义中,“输入端”和“输出端”不包括静态电源端。

2 在一些数字电路中,例如某些类型的非稳态电路,其输入端不必存在。

1.3.2 二进制电路 binary circuit

用二进制信号工作的一种数字电路。

注:二进制信号的对值域在不同的端可以是不同的。

1.3.3 组合(数字)电路 combinatorial (digital) circuit

对于输入端上数字信号的每一种可能的组合,其输出端仅存在一种数字信号组合的数字电路。

1.3.4 时序(数字)电路 sequential (digital) circuit

在其输入端上至少存在一种数字信号的组合,相应的输出端上存在一种以上的数字信号组合的数字电路。

注:输出端上的这些组合由先前的状态(如内部存储、延迟等结果)决定。

1.3.5 基本组合电路 elementary combinatorial circuit

只有一个输出端,并当加到各输入端上的信号全部为高电平或全部为低电平,输出信号才能具有在

功能表中仅出现一次值的二进制组合(数字)电路。

注

- 1 由于(在功能表中仅出现一次的)输出信号的值可以是高电平,也可以是低电平,所以共有四类基本组合电路。按照布尔代数二进制值 0 和 1 对应信号值 L 和 H 的赋值,可以用四类基本组合电路完成与、或、与非、或非的逻辑操作。
- 2 非基本组合电路可由连接若干基本组合电路或连接若干带反相器的基本组合电路构成。

1.3.6 双稳态电路 bistable circuit

一种仅有两个稳定的输出组态(输出图形)的时序电路。

注

- 1 可根据有效的伪稳定和亚稳定输出组态(输出图形)的数目和种类以及从一个稳定输出组态到另一个稳定输出组态的转变所要求的适当激励的数目将这个大类分成几个小类。
- 2 双稳态电路的稳定输出组态(输出图形)可由参考输出端的低电平或高电平来表示。
- 3 术语“双稳态电路”作为一般术语,覆盖了仅有两个稳定输出组态的所有时序电路。当不致引起歧义或误解时,这个术语也可用于双稳态电路的任何种类,特别是,信号激励双稳态电路通常使用缩写术语“双稳态电路”。

1.3.6.1 边沿触发(转换工作)双稳态电路 edge-triggered (transition-operated) bistable circuit

具有一个或多个转换工作输入的双稳态电路。

1.3.6.2 脉冲触发双稳态电路 pulse-triggered bistable circuit

要求在其预备输入端上建立一个相对于触发输入端施加第一次转换信号的信号,并使该信号保持到相对于在同一触发输入端上第二次能使输出改变状态的转换信号发生的双稳态电路。

注:这一定义不排除最小建立时间和(或)保持时间可能是负的。

1.3.6.3 数据锁定双稳态电路 data-lock-out bistable circuit

要求在其预备输入端上建立并保持一个对于触发输入信号转换,不使输出改变状态的信号的双稳态电路。

1.3.7 单稳态电路 monostable circuit

仅有一个稳定输出组态(输出图形)的时序电路。

注

- 1 这个定义是最通用的形式给出的,现在使用的术语“单稳态电路”指的是除稳定输出组态(输出图形)外,至少存在一个亚稳定输出组态(输出图形)的情况。
- 2 一般这种电路有一个或多个亚稳定和(或)伪稳定输出组态(输出图形)。

1.3.8 扩展电路 expander circuit

可以用来增加关联电路的同等作用的输入端数目,而不改变关联电路功能的辅助电路。

1.3.9 二进制反相器 binary inverter

一种只有一个输入端和一个输出端,当输入端的信号值是 L(H)时,输出端的信号值为 H(L)的二进制电路。

1.3.10 主-从结构 master-slave arrangement

一种两个双稳态电路的结构,其中一个称为“从”的电路再现另一个称为“主”的电路的输出状态:通过适当的信号可以实现从“主”到“从”的信号传输。

1.3.11 寄存器 register

可以接收、存储和取出信息的双稳态电路组成的电路。

注:寄存器可以成为存储器的一部分,具有一定的容量。

1.3.12 移位寄存器 shift register

一种借助适当的控制信号,可以在相连的双稳态电路间按预定的顺序传送信息的寄存器。

1.3.13 计数器 counter

一种用来存储数的时序电路,可使存储的数按包括 1 的给定常数增加或减少。

1.3.14 数字译码器(集成电路) digital decoder(integrated circuit)

由逻辑元件(或等效元件)组成,能按照输入信号的组合选择一个或多个输出通道的电路。

1.3.15 可编程逻辑阵列 programmable logic array(PLA)

一种具有固定的内部互连图形的组合逻辑元件(电路)阵列组成的集成电路,该内部互连图形可在电路制成后连接或断开,以完成特定的逻辑功能。

注:典型的 PLA 是驱动若干“或”门的“与”门组。

1.4 与额定值和特性有关的术语

1.4.1 (输入)阈值电压 (input)threshold voltage

一种当输入电压值超过它时,能够改变输出逻辑状态的输入电压电平。

注:资料中通常使用的术语“滞后”指的是正向阈值电压和负向阈值电压之差。

$$V_{\text{bys}} = V_{\text{IT+}} - V_{\text{IT-}}$$

或 $V_{\text{bys}} = V_{\text{ITP}} - V_{\text{ITN}}$

1.4.1.1 正向(输入)阈值电压 $V_{\text{IT+}}$, V_{ITP} positive-going(input)threshold voltage $V_{\text{IT+}}$, V_{ITP}

输入电压上升时的输入阈值电压。

注:见 1.4.1 的注。

1.4.1.2 负向(输入)阈值电压 $V_{\text{IT-}}$, V_{ITN} negative-going(input)threshold voltage $V_{\text{IT-}}$, V_{ITN}

输入电压下降时的输入阈值电压。

注:见 1.4.1 的注。

1.4.2 (双极型数字电路的)输入负载系数 input loading factor(of a bipolar digital circuit)

数字电路规定输入端的输入电流与选作参考负载的特定电路的输入电流之比而得到系数。

注:参考负载的选择应尽可能使得输入负载系数成为整数。

1.4.3 (双极型数字电路的)输出负载能力 output loading capability(of a bipolar digital circuit)

数字电路规定输出端的最大输出电流与选作参考负载的特定电路的输入电流之比。

注:参考负载的选择,应尽可能使输出负载能力成为一个整数。

1.4.4 建立时间 set-up time

从规定的输入端施加上需保持的信号开始,到与另一个输入端上随之发生规定的有效转换之间的时间间隔。

注

- 1 建立时间是在信号电平转换范围内,测试两个信号量通过规定值的瞬时时间间隔。
- 2 建立时间是两个信号间的实际时间可能不足以完成预期的结果。其最小值规定为保证数字电路正确操作所需要的最短时间间隔。
- 3 建立时间可能是一个负值,在这种情况下,最小值为保证数字电路的正确操作所需要的最长时间间隔(在有效转换和其他信号开始作用之间)。

1.4.5 保持时间 hold time

规定的输入端上的信号在另一个规定的输入端发生有效转换之后仍保持不变的时间间隔。

注

- 1 保持时间是在信号电平转换范围内,测试两个信号量通过规定值的瞬时时间间隔。
- 2 保持时间是两个信号间的实际时间,可能不足以完成预期的结果。其最小值规定为保证数字电路正确操作所需要的最短时间间隔。
- 3 保持时间可能是一个负值,在这种情况下,最小值为保证数字电路的正确操作所需要的最长时间间隔(在有效转换和其他信号开始作用之间)。

1.4.6 分辨时间 resolution time

施加在同一个输入端上的一个输入脉冲的终止到下一个输入脉冲的开始之间的时间间隔。

注

- 1 分辨时间是在信号电平转换范围内,测试输入信号量通过规定值的瞬时时间间隔。

- 2 分辨时间是两个脉冲间的实际时间可能不足以完成预期结果,其最小值规定为保证数字电路正确操作所需要的最短时间间隔。

1.4.7 高电平到低电平(低电平到高电平)传输时间 high-level to low-level(low-level to high-level) propagation time

当用规定类型的典型器件驱动被测器件和作被测器件的负载,输出向低电平(高电平)变化时,输入脉冲与输出脉冲上规定参考点之间的时间间隔。

注

- 1 在某些情况下,为了测试,可用规定的等效网络来代替驱动电路和负载电路。
- 2 在输入低值域的上限和输入高值域的下限之间的平均值通常用作规定的参考电平。

1.4.8 高电平到低电平(低电平到高电平)的转换时间 high-level to low-level(low-level to high-level) transition time

规定的输入信号通过特定网络加于电路,且输出接另外的特定网络作为负载,输出向低电平(高电平)变化时,输出脉冲沿上规定参考点之间的时间间隔。

1.4.9 允许时间 enable time

从允许信号转换的规定点到表示预定操作开始的输出波形上规定点之间的时间间隔。

1.4.10 禁止时间 disable time

从禁止信号的转换的规定点到表示受禁止信号影响的操作中止的输出波形上规定点之间的时间间隔。

1.4.11 (三态输出的)输出允许时间 output enable time(of a three-state output)

当三态输出从高阻态(截止态)向规定的有效电平(高或低)转变时,输入和输出电压波形上规定参考点之间的时间间隔。

1.4.12 (三态输出的)输出禁止时间 output disable time(of a three-state output)

当三态输出从规定的有效电平(高或低)向高阻态(截止态)转变时,输入和输出电压波形上规定参考点之间的时间间隔。

1.4.13 脉冲持续时间(脉宽) pulse duration(width)

脉冲波形的两个转换的规定参考点之间的时间间隔。

1.4.14 有效时间 valid time

一个时间间隔,在该时间间隔内输出信号是有效的,或输入信号必须是有效的。

1.4.15 输出数据有效时间 output data-valid time

输出数据在输入条件变化后仍持续有效的时间间隔;在这一时间间隔结束时,输入条件的变化能引起输出数据的改变。

1.4.16 (二进制电路的)等效输入(输出)电容 equivalent input(output) capacitance(of a binary circuit)

一种和二进制电路输入(输出)容抗部分一样对数字信号的波形产生等效作用的分立电容器的电容。

1.5 锁定术语

1.5.1 锁定态 latch-up state

由输入、输出或电源的过压触发一寄生四层双极结构而产生的低阻抗导通状态,此状态下维持所产生的电流。

注:在锁定态时,器件不能工作。

1.5.2 锁定效应 latch-up effect

引发锁定态的过程。

1.5.3 锁定态电压 latch-up state voltage($V_{CC(L)}$, $V_{DD(L)}$)

当集成电路处于锁定态时,在规定的电流下,集成电路电源端间的电压。

1.5.4 锁定电流 latch-up current (I_{latch})

使集成电路进入锁定状态的流入或流出所规定引出端的最小电流。

2 示例

2.1 基本组合电路

2.1.1 基本组合电路的类型和功能表

a) L-与,H-或电路

输入	输出
ABC · · · · ·	Q
LLL · · L · ·	L
带有 H 的所有组合	H

b) L-与非,H-或非电路

输入	输出
ABC · · · · ·	Q
LLL · · L · ·	H
带有 H 的所有组合	L

c) H-与,L-或电路

输入	输出
ABC · · · · ·	Q
HHH · · H · ·	H
带有 L 的所有组合	L

d) H-与非,L-或非电路

输入	输出
ABC · · · · ·	Q
HHH · · H · ·	L
带有 L 的所有组合	H

e) 二进制反相器

输入	输出
L	H
H	L

2.1.2 用基本组合电路实现的逻辑运算(根据信号值 L 和 H 对布尔代数的二进制值 0 和 1 的两种可能赋值)

电 路		赋 值	
类型	名称	L $\triangleq$ 1 H $\triangleq$ 0	L $\triangleq$ 0 H $\triangleq$ 1
a	L-与,H-或	与	或
b	L-与非,H-或非	与非	或非
c	L-或,H-与	或	与
d	L-或非,H-与非	或非	与非

2.2 以文字符号的示例来表述描写双稳态电路和有关时序数字电路的原则

提供表示(时序的)功能矩阵的两种不同方式。

2.2.1 绪言

2.2.1.1 如果施加到输入端的信号在高电平时有效,或在从低电平向高电平转换时有效,则用来表示输入的字母是不带横线的。例如:R、S、J……………

如果施加到输入端的信号在低电平时有效(即在高电平时无效),或在从高电平向低电平转换时有效(即从低电平向高电平转换时无效),那么用来表示输入的字母是带横线的。例如: $\bar{R}$ 、 $\bar{S}$ 、 $\bar{J}$ ……………

在电平转换工作的电路情况下,上述规定导致矛盾的指示时,则应以转换工作为优先。

2.2.1.2 双稳态电路的输出端由Q或Q*表示,此处Q是参考输出端。

2.2.1.3 正常情况下,在双稳态电路的两个稳定的输出组态(输出图形)上,Q和Q*端上的电平是互补的。

伪稳定输出组态(输出图形)由字母H或L或它们的组合来表示,并填入字母RS后的括号里。

如果在伪稳定输出组态(输出图形)中,Q和Q*端的电平是互补的,则同时使用字母H和L,第一个字母指示Q端电平。

如果在伪稳定输出组态(输出图形)中,Q和Q*端的电平是相同的,则仅用一个字母来指示这些电平。

例如:RS(H),RS(L),RS(HL),RS(LH)。

如果没有要求,括号和其间的字母可以省略。

2.2.1.4 RS, $R_G S_G$,JK, $J_T K_T$ 等的所有其他类型电路,可以与下述例子相似的方式描述。

2.2.2 电路

2.2.2.1 RS(L)电路

一种具有两个电平工作输入端R和S电路,每个输入信号仅在高电平时才是有效的。

输入组态(输入图形)(R,S)=(L,H)产生输出组态(输出图形)(Q,Q*)=(H,L)。S端输入信号回到低电平不产生任何影响。

输入组态(输入图形)(R,S)=(H,L)产生输出组态(输出图形)(Q,Q*)=(L,H)。R端输入信号回到低电平不产生任何影响。

输入组态(输入图形)(R,S)=(H,H)产生伪稳定输出组态(输出图形)(Q,Q*)=(L,L)。两个输入信号同时从高电平回到低电平产生不确定的输出组态(输出图形)。

注:在某些情况下,由于技术原因,输入组态(输入图形)(R,S)=(H,H)是不允许的。

功能(时序的)矩阵:

R	L		H		Q	Q*
S	L	H	L	H		
	①	①	3	2	H	L
	②	1	3	②	L	H
	?	1	③	2	L	L

R	L		H		Q	Q*
S	L	H	L	H		
					H	L
					L	H
					L	L

图 1

定时图:

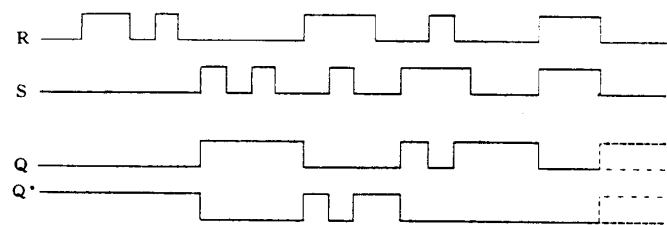


图 1(完)

2.2.2.2 $\overline{R}\overline{S}$ (H)电路

一种具有两个电平工作输入端 $\overline{R}$ 和 $\overline{S}$ 的电路,每个输入信号仅在低电平时才是有效的。

输入组态(输入图形) $(\overline{R}, \overline{S}) = (H, L)$ 产生输出组态(输出图形) $(Q, Q^*) = (H, L)$ 。S 端输入信号回到高电平不产生影响。

输入组态(输入图形) $(\overline{R}, \overline{S}) = (L, H)$ 产生输出组态(输出图形) $(Q, Q^*) = (L, H)$ 。R 端输入信号回到高电平时不产生影响。

输入组态(输入图形) $(\overline{R}, \overline{S}) = (L, L)$ 产生伪稳定输出组态(输出图形) $(Q, Q^*) = (H, H)$ 。两个输入信号同时从低电平回到高电平时产生不确定的输出组态(输出图形)。

注:在某些情况下,由于技术原因,输入组态(输入图形) $(\overline{R}, \overline{S}) = (L, L)$ 是不允许的。

功能(时序的)矩阵:

$\overline{R}$	L		H			
$\overline{S}$	L	H	L	H	Q	Q*
	3	2	①	①	H	L
	3	②	②	1	L	H
	③	2	?	1	H	H

$\overline{R}$	L		H			
$\overline{S}$	L	H	L	H	Q	Q*
					H	L
					L	H
					H	H

定时图:

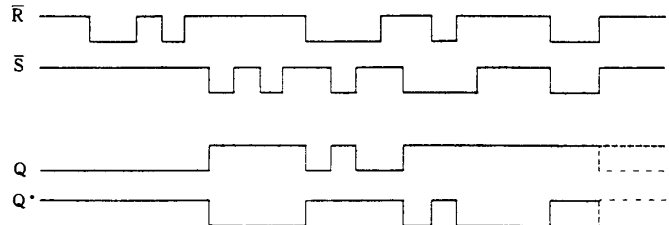


图 2

2.2.2.3 T 电路

一种具有一个转换工作输入端 T 的电路。
当施加给输入端的信号从低电平向高电平变化时,引起输出组态(输出图形)转换。
输入信号从高电平回到低电平时不产生任何影响。
功能(时序的)矩阵:

T	L	H	Q	Q'
	①	2	L	H
	3	②	H	L
	③	4	H	L
	1	④	L	H

定时图:

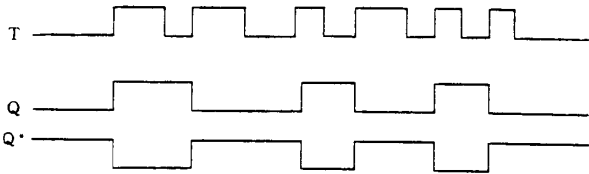


图 3

2.2.2.4 T 电路

一种具有一个转换工作输入端 T 的电路。
当施加给输入端 T 的信号从高电平向低电平变化时,引起输出组态(输出图形)转换。
输入信号从低电平回到高电平时不产生任何影响。
功能(时序的)矩阵:

$\overline{T}$	L	H	Q	Q'
	2	①	L	H
	②	3	H	L
	4	③	H	L
	④	1	L	H

$\overline{T}$	L	H	Q	Q'
			L	H
			H	L
			H	L
			L	H

定时图：

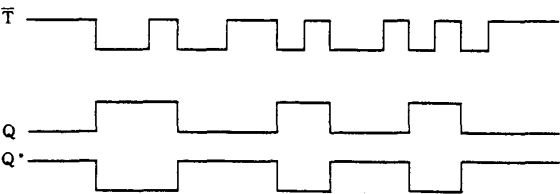


图 4

2.2.2.5 基本 T_G 电路

一种具有一个转换工作输入端 T 和一个电平工作输入端 G 的电路。

当 G 输入信号是高电平时,电路功能同 T 电路。

当 G 输入信号是低电平时, T 输入信号对输出组态(输出图形)没有影响。

如果 T 输入信号从低电平向高电平变化, G 输入信号从低电平向高电平变化或从高电平向低电平转换,这两个输入信号的同时变化产生不确定的输出组态(输出图形)。

功能(时序)图：

G	L		H			
T	L	H		L	Q	Q'
	①	3	?	2	L	H
	1	?	4	②	L	H
	1	③	③	2	L	H
	6	④	④	5	H	L
	6	?	3	⑤	H	L
	⑥	4	?	5	H	L

G	L		H			
T	L	H		L	Q	Q'
					L	H
					L	H
					L	H
					H	L
					H	L
					H	L

图 5

定时图：

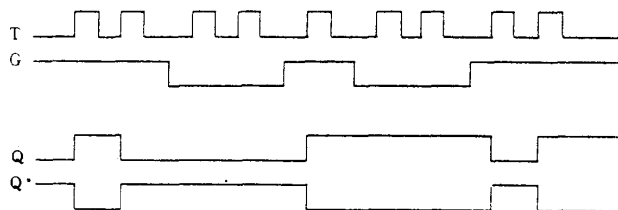


图 5(完)

基本 T_G 电路定时图(续)

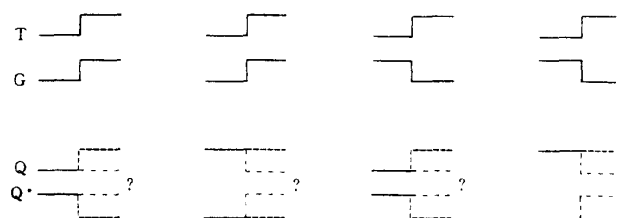


图 6

带有 T 对 G 延迟的 T_G 电路的功能(时序)矩阵：

G	L	H	L/H		
T	H			L	H
	2	3	①	L	H
	②	②	1	L	H
	③	③	4	H	L
	3	2	④	H	L

G	L	H	L/H		
T	H			L	H
	●	●	■	L	H
	■	■	●	L	H
	■	■	●	H	L
	●	●	■	H	L

带有 G 对 T 延迟的 T_G 电路的功能(时序)矩阵：

G	L	L/H	H		
T	L	H	L	Q	Q*
	①	①	2	L	H
	1	3	②	L	H
	③	③	4	H	L
	3	1	④	H	L

G	L	L/H	H		
T	L	H	L	Q	Q*
	■	■	●	L	H
	●	■	■	L	H
	■	■	●	H	L
	●	●	■	H	L

2.2.2.6 (转换工作的)JK 电路

一种具有两个转换工作输入端 J 和 K 的电路,其输入信号从低电平向高电平转换时是有效的。

当施加给 K 输入端的信号从低电平向高电平变化时,产生输出组态(输出图形) $(Q, Q') = (H, L)$ 。

J 端输入信号回到低电平时不产生任何影响。

当施加给 J 输入端的信号从低电平向高电平变化时,产生输出组态(输出图形) $(Q, Q') = (L, H)$ 。

K 端输入信号回到低电平时不产生任何影响。

两个输入信号同时从低电平向高电平变化引起输出组态(输出图形)转换。

一个或两个输入信号同时回到低电平时不产生影响。

功能(时序)矩阵:

K	L		H		Q	Q'
	J	L	H	L		
	①	4	3	①	L	H
	1	②	②	1	L	H
	4	4	③	③	H	L
	④	④	2	1	H	L

K	L		H		Q	Q'
	J	L	H	L		
					L	H
					L	H
					H	L
					H	L

定时图:

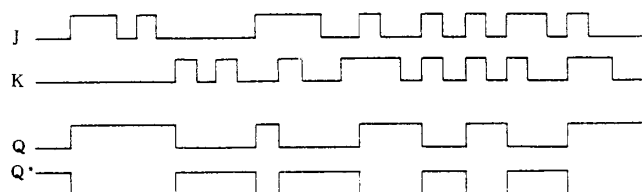


图 7

2.2.2.7 (转换工作的)JK 电路

与 2.2.2.6 类似,但其输入信号从高电平向低电平变化时有效。

2.2.2.8 D_G 电路

一种具有两个电 平—工作输入端 D 和 G 的电路。

当 G 输入信号是高电平时,参考输出端 Q 的电平与 D 输入信号电平一致。

当 G 输入信号从高电平向低电平变化时,输出组态(输出图形)不变。

当 G 输入信号是低电平时,D 输入信号不起作用。

两个输入信号同时变化时,只要 G 输入信号从高电平向低电平变化,D 输入信号不论从低电平向高电平变化还是从高电平向低电平变化,都产生不确定的输出组态(输出图形)。

功能(时序)矩阵(仅适用于 D 对 G 延迟的情况):

G	L	H		
D	L/H	H	L	
①	2	①	L	H
②	②	1	H	L

G	L	H		
D	L/H	H	L	
			L	H
			H	L

定时图:

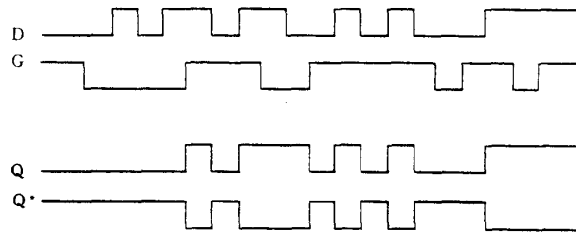


图 8

2.2.2.9 D_G 电路

一种具有两个电平工作输入端 D 和 $\bar{G}$ 的电路。

当 $\bar{G}$ 输入信号是低电平时,参考输出端 Q 的电平与 D 输入信号电平一致。

当 $\bar{G}$ 输入信号从低电平向高电平变化时,输出组态(输出图形)保持不变。

当 $\bar{G}$ 输入信号是高电平时,D 输入信号不起作用。

两个输入信号同时变化时,如果 $\bar{G}$ 输入信号从低电平向高电平变化,不论 D 输入信号从低电平向高电平变化还是从高电平向低电平变化都产生不确定的输出组态(输出图形)。

功能(时序的)矩阵(仅适用于 D 对 G 延迟的情况):

$\bar{G}$	L	H		
D	L	H	L/H	
①	2	①	L	H
1	②	②	H	L

$\bar{G}$	L	H		
D	L	H	L/H	
			L	H
			H	L

定时图:

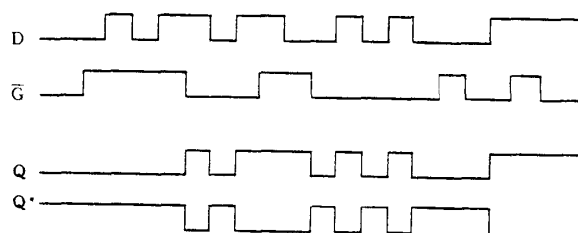


图 9

2.2.2.10 D_T 电路

一种具有一个电平工作输入端 D 和一个转换工作输入端 T 的电路。

当 T 输入信号从低电平向高电平变化时,在参考输出端 Q 产生与 D 输入信号电平一致的电平。

当 T 输入信号从高电平向低电平变化时,输出组态(输出图形)保持不变。

当 T 输入信号是高电平或低电平时,D 输入信号不起作用。

功能(时序)矩阵(仅适用于 D 对 T 延迟的情况):

T	L			H		
D	L	H	L/H		Q	Q [*]
	①	2	①		L	H
	1	②	3		L	H
	4	③	③		H	L
	④	3	1		H	L

T	L			H		
D	L	H	L/H		Q	Q [*]
					L	H
					L	H
					H	L
					H	L

定时图:

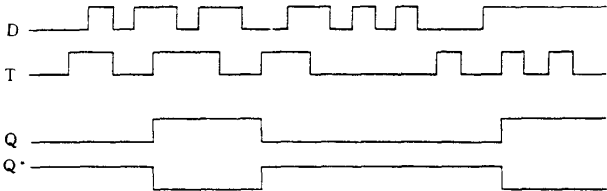


图 10

2.2.2.11 D_T 电路

一种具有一个电平工作输入端 D 和一个转换工作输入端 $\bar{T}$ 的电路。

当 $\bar{T}$ 输入信号从高电平向低电平变化时,在参考输出端 Q 产生与 D 输入信号电平一致的电平。

当 $\bar{T}$ 输入信号从低电平向高电平变化时,输出组态(输出图形)保持不变。

当 $\bar{T}$ 输入信号是高电平或低电平时,D 输入信号都不起作用。

功能(时序)图(仅适用于 D 对 $\bar{T}$ 延迟的情况):

$\bar{T}$	L		H			
D	L/H	H	L	Q	Q*	
	①	2	①	L	H	
	3	②	1	L	H	
	③	③	4	H	L	
	1	3	④	H	L	

$\bar{T}$	L		H			
D	L/H	H	L	Q	Q*	
				L	H	
				L	H	
				H	L	
				H	L	

定时图:

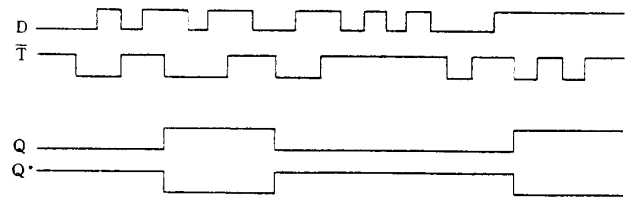


图 11

2.2.2.12 $R_G S_G(L)$ 电路

一种具有三个电平工作输入端 R、S 和 G(高电平有效)的电路。

当 G 输入信号是高电平时,电路功能如同 RS(L)电路。

当 G 输入信号从高电平向低电平转换时,如果输出组态(输出图形)不是伪稳态,则保持不变。

当输出组态(输出图形)是伪稳态,即 $(Q, Q^*) = (L, L)$ 时, G 输入信号从高电平向低电平变化,产生不确定的输出组态(输出图形)。

当 G 输入信号是低电平时, R 和 S 输入信号都不起作用。

功能(时序)矩阵:

G	L				H				Q	Q*
R	L		H				L			
S	L	H		L		H		L		
	①	2	2	①	①	5	4	①	L	H
	1	②	②	1	1	5	4	?	L	H
	4	4	③	③	1	5	4	?	H	L
	④	④	3	3	1	5	④	④	H	L
	?	?	?	?	1	⑤	4	?	L	L

G	L				H				Q	Q*
R	L		H				L			
S	L	H		L		H		L		
									L	H
									L	H
									H	L
									H	L
?	?	?	?						L	L

定时图：

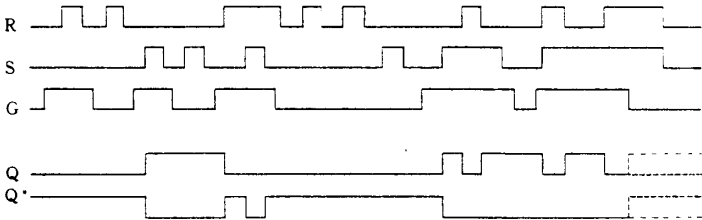


图 12

2.2.2.13 $R\overline{S}\overline{G}(L), \overline{R}_G\overline{S}_G(H)$ 和 $\overline{R}\overline{S}\overline{G}(H)$ 电路

与 2.2.2.12 类似。

2.2.2.14 J_TK_T 电路

一种具有两个电平—工作输入端 J 和 K, 和一个转换—工作输入端 T 的电路。

当 T 输入信号从低电平向高电平变化时, 与 J 和 K 输入信号电平相对应的输出组态(输出图形)按下列方式产生:

对于输入组态(输入图形)(J,K)=(L,H),

其输出组态(输出图形)(Q,Q')=(L,H);

对于输入组态(输入图形)(J,K)=(H,L),

其输出组态(输出图形)(Q,Q')=(H,L);

对于输入组态(输入图形)(J,K)=(H,H),

其输出组态(输出图形)变化;

对于输入组态(输入图形)(J,K)=(L,L),

其输出组态(输出图形)保持不变。

T 输入信号从高电平回到低电平不起作用; 无论 T 输入信号是高电平还是低电平, J 和 K 输入信号都不起作用。

功能(时序)矩阵(仅适用于 J 和 K 对 T 延迟的情况):

T	L				H		
K	L		H		L/H		
	J	L	H	L	L/H	Q	Q'
	①	2	2	①	①	L	H
	1	②	②	1	4	L	H
	4	4	③	③	1	H	L
	④	④	3	3	④	H	L

T	L				H		
K	L		H		L/H		
	J	L	H	L	L/H	Q	Q'
						L	H
						L	H
						H	L
						H	L

定时图:

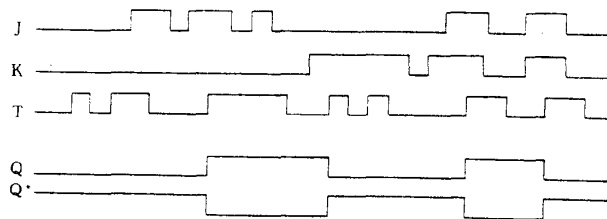


图 13

注: 对其他类型的 J_TK_T 电路的定义尚在考虑中。

2.2.2.15 J_TK_T, $\bar{J}_T\bar{K}_T$ 和 $\bar{J}_T\bar{K}_T$ 电路

与 2.2.2.14 类似。

2.2.2.16 $\bar{R}\bar{S}(H)J_TK_T$ 电路

功能(时序)矩阵:

$\overline{RS}$				JK				T			
$\overline{S}$	L		H	H				H			
$\overline{R}$	L	H	L	H				H			
T	X			H				L			
J	X			H		L		X			
K	X			L	H		L	X	Q	Q'	
3	4	①	2	2	①	①	①	L	H		
3	4	1	②	②	1	1	4	L	H		
③	4	1	?	?	?	?	?	H	H		
3	④	1	④	5	5	④	④	H	L		
3	4	1	4	⑤	⑤	4	1	H	L		

$\overline{RS}$			JK			T						
$\overline{S}$	L	H	H			H						
$\overline{R}$	L	H	L	H			H					
T	X		H			L						
J	X		H		L	X						
K	X		L	H	L	X	Q	Q'				
•	•		•	•				L	H			
•	•	•				•	•	•	•	L	H	
•	•	•						•	•	H	H	
•	•	•	•	•	•				•	•	H	L
•	•	•	•	•	•				•	•	H	L

3 存储器集成电路的术语

3.1 通用术语

3.1.1 存储单元(存储元件) memory cell(or memory element)

一个数据位已进入或能进入、已存储或能存储并能从中取出的存储器的最小部分。

3.1.2 存储器集成电路 integrated circuit memory

由存储单元组成,通常还包括一些相关电路(如地址选择器、放大器等)的一种集成电路。

3.1.3 数据存储区 storage zone of data

存储器内包含一个或几个存储单元的小区域,它是存储器可供选择的最小部分。

注:数据存储区的容量通常称为“字”

3.1.4 地址 address

识别特定数据存储区的一组二进制位或为在数据存储区存取而施加给输入端的适当电信号。

3.1.5 破坏性读出 destructive readout

使存储信息从其读出的存储区中消失的读出过程。

3.1.6 字块 block

存储器地址的一个连续范围。

注:该范围所包括的地址数通常等于 2^n 。

3.1.7 擦除 erase

从存储器中去除信息。

3.2 与存储器功能和结构有关的术语

3.2.1 信息存储的结构

3.2.1.1 按位编排 bit-oriented organization

每个存储区由一个存储单元构成的一种排列。

3.2.1.2 按字编排 word-oriented organization

每个存储区由组成字的一定数量的存储单元所构成的一种排列。

3.2.1.3 按字块编排 block-oriented organization

由一些存储区构成一个字块的存储器的一种排列。

注:构成字块的每个存储区可能包含不同数量的存储单元。

3.2.2 信息的传送

3.2.2.1 信息的并行传送 parallel presentation of information

几个数据位沿各自的通道或总线同时传输。

3.2.2.2 信息的串行传送 serial presentation of information

几个数据位沿单一通道或总线连续传输。

3.2.3 寻址方式

3.2.3.1 并行寻址 parallel addressing

以同时提供每个地址位的方式选择存储区。

3.2.3.2 串行寻址 serial addressing

以连续提供每个地址位的方式选择存储区。

3.2.3.3 多重寻址, 串并行寻址 multiplexed addressing, serial-parallel addressing

通过提供构成地址的几个位组来选择存储区, 其每组各地址位以并行方式提供, 而各个组则以串行方式提供。

3.3 存储器的类型

3.3.1 只读存储器(ROM) read-only memory

在正常操作期间, 其存储内容只能读出不能修改的一种存储器。

注: 除另有规定外, 术语“只读存储器”意指数据内容由其结构决定并且不能修改。

3.3.1.1 固定编程只读存储器 fixed-programmed read-only memory

每个存储单元的数据内容在制造时即已确定, 且其后不能修改的一种只读存储器。

a) 掩膜编程只读存储器, mask-programmed read-only memory

每个存储单元的数据内容在制造时用掩膜来确定的一种固定编程只读存储器。

3.3.1.2 现场可编程只读存储器 field-programmable read-only memory

在制成之后, 其每个存储单元的数据内容可以修改的一种只读存储器。

a) 可编程只读存储器(PROM) programmable read-only memory

每个存储单元的数据内容只能修改一次的一种现场可编程只读存储器。

b) 重复可编程只读存储器 reprogrammable read-only memory

每个存储单元的数据内容可不止一次地修改一种现场可编程只读存储器。

3.3.2 读写存储器 read/write memory

通过施加适当的输入电信号来选择每个存储单元的一种存储器。其存储的数据可以

a) 在适当的输出端上读出; 或者

b) 根据另外适当的输入信号而改变。

3.3.3 随机存取存储器(RAM) random-access memory

允许按期望的顺序在任一地址单元存取的一种存储器。

注: 按习惯用法, 本术语通常指“读写”存储器, 但也能用于“只读存储器”。

3.3.4 静态读写存储器 static read/write memory

在没有控制信号时, 仍能保持数据内容的一种存储器。

注

1 当不至产生误解时, 术语中的“读写”两字可以省略。

2 静态存储器可以采用动态寻址电路和(或)读出电路。

3.3.5 动态读写存储器 dynamic read/write memory

为保持存储的数据, 需对存储单元重复施加控制信号的一种存储器。

注

1 当不会产生误解时, 术语中的“读写”两字可以省略。

2 这种控制信号的重复施加, 通常称为刷新。

3 动态存储器可以采用静态寻址电路和(或)静态读出电路。

4 无论控制信号是存储器内部还是外部产生的,本定义均适用。

3.3.6 易失性存储器 volatile memory

当不再加电时,其数据内容自行消失的一种存储器。

3.3.7 串行存取存储器 serial access memory

存储区只能按预定顺序来存取的一种存储器。

3.3.8 内容定址存储器(CAM)(并联存储器) content addressable memory(associative memory)

如果某个存储区中的数据的一部分与用来寻址的数据相符,则对该存储区的全部数据作出响应的一种存储器。

注:如果能与不止一个存储区的数据相符,则读出的数据通常是具有最低地址值的存储区的数据。

3.4 与额定值和特性有关的术语

3.4.1 循环 cycle

完成存储器某一功能所必需的操作步骤。一般说来,能鉴别四种可能的循环,即:

- a) 读循环;
- b) 写循环;
- c) 读写循环;
- d) 写读循环。

3.4.2 周期 cycle time(见注 1、2 和 3)

完成一个循环所必需的时间,即一个循环的起始与终止之间的时间间隔。

a) 读周期 read cycle time

读循环的起始和终止之间的时间间隔。

b) 写周期 write cycle time

写循环的起始和终止之间的时间间隔。

c) 读写周期 read-write cycle time

存储器读出和新数据写入这样一个循环的起始和终止之间的时间间隔。

注:不能用术语“读—改—写循环”来代替“读—写循环”,因为“读—改—写”有时指数据的取出、处理,然后重新写入存储器的过程。

d) 写读周期 write-read cycle time

数据写入存储器然后读出这样一个循环的起始和终止之间的时间间隔。

注

1 以上这些周期是两个脉冲间实际间隔的时间,或许不足以完成存储器内的操作。在所有情况下,应取存储器能正确完成其相应功能的最短时间来规定一个最小值。

2 循环的终止,应理解为存储器能正确开始操作的下一循环的起始。

3 一个循环总是作为固定地址上完成。

3.4.3 写恢复时间 write recovery time(见 3.4.2 注 1)

一个写脉冲的终止与新循环开始之间的时间间隔,是供存储器从写操作恢复并正确操作的时间。

3.4.4 读恢复时间 sense recovery time

将存储器从写状态转换到读状态,并在输出获得有效数据信号所需要的时间间隔。

3.4.5 存取时间 access time

在其他必要的输入条件已具备时,施加规定的输入脉冲到输出端上得到有效数据信号之间的时间间隔。存取时间可以仅根据输出信号(读操作)来定义。

注:各种存取时间的例子有:

地址存取时间:地址输入与数据输出之间的时间。

允许存取时间:允许输入与数据输出之间的时间。

读存取时间:读输入与数据输出之间的时间。

一般说来,每个存取时间有两个值,它取决于输出等于高电平还是低电平。

3.4.6 刷新间隔时间 refresh time interval

使动态存储单元的电平恢复到起始电平的连续信号起点间的时间间隔。

注:刷新间隔时间是两次刷新操作之间的实际时间,或许不足以保持存储的数据。应取保证正确操作的最长时间间隔作为规定的最大值。

3.4.7 (动态存储器的)预充电时间 precharge time(of a dynamic memory)

在一个或多个输入上规定的转换之间的时间间隔;在此期间,可使电路内部节点的电压在一个新循环开始之前充电或放电到预定电压电平。

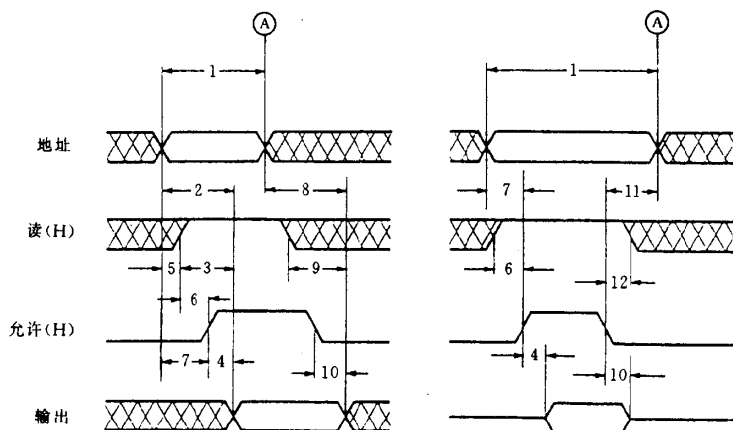
注:这里定义了实际的预充电时间间隔,它取决于器件工作的系统,规定的最小值即是保证器件正确工作的最短时间间隔。

3.5 静态读/写存储器的典型波形

注:四种波形图用来描述四种操作方式的“周期”的定义(在 3.4.2 条给出)。这些图形仅仅是针对静态存储器的一些例子,并不代表任何具体的存储器件。

——这些图形并不是用来显示出波形上各种被测时间的精确位置,这些位置应在特定集成电路的规范中规定。

——这些图形也包括一些有助于理解的附加术语,尽管目前对这些附加术语尚未正式的命名或定义。



典型波形

- | | |
|-------------|---------------|
| 1—读周期; | 7—允许前地址建立时间; |
| 2—地址存取时间; | 8—地址后输出有效时间; |
| 3—读存取时间; | 9—读后输出有效时间; |
| 4—允许存取时间; | 10—允许后输出有效时间; |
| 5—读前地址建立时间; | 11—允许后地址保持时间; |
| 6—允许前读建立时间; | 12—允许后读保持时间; |

点④是随后的循环可以开始的最早时刻。

读和允许输入的有效电平由括号中的字母(H或L)表示。

 输入:不相关的
 输出:不确定的或变化的

图 14 读循环

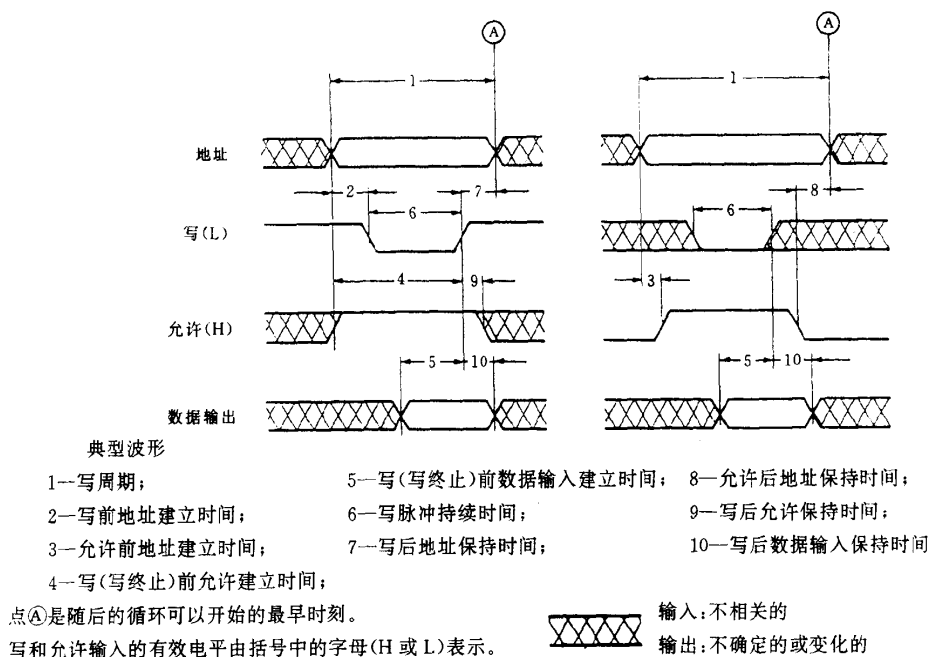


图 15 写循环

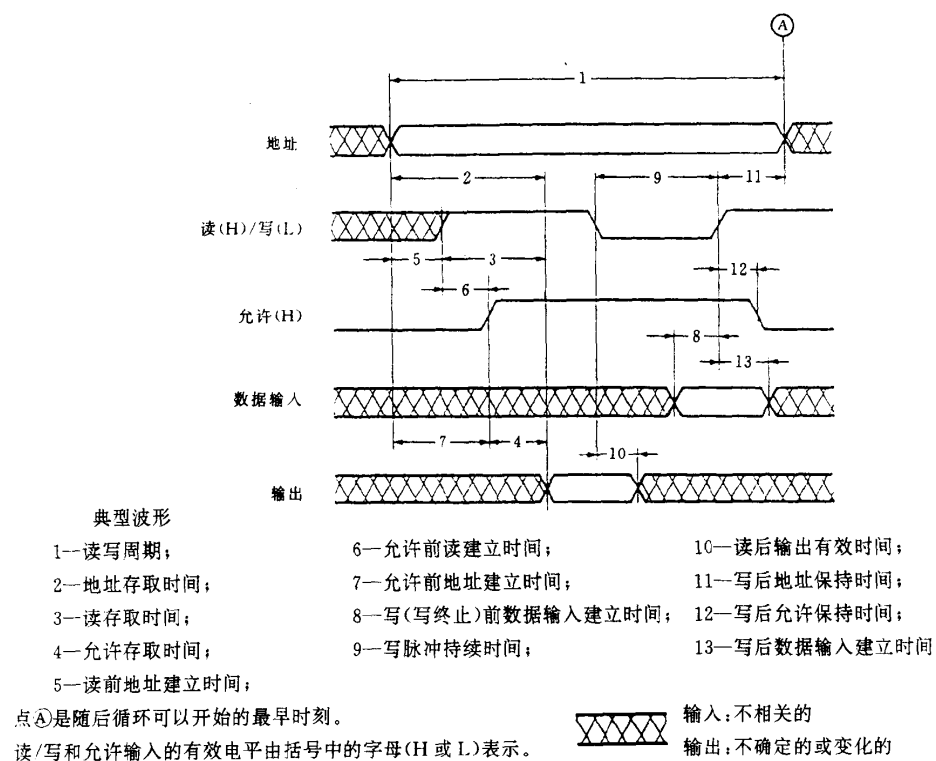
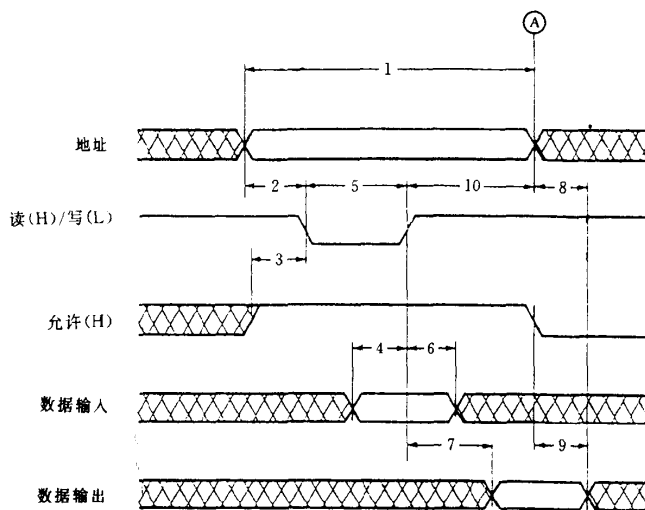


图 16 读—写循环



典型波形

- | | |
|--------------------|---------------|
| 1—写读周期; | 6—写后数据输入保持时间; |
| 2—写前地址建立时间; | 7—读恢复时间; |
| 3—写前允许建立时间; | 8—地址后输出有效时间; |
| 4—写(写终止)前数据输入建立时间; | 9—允许后输出有效时间; |
| 5—写脉冲持续时间; | 10—写恢复时间 |

点A是随后的循环可以开始的最早时刻。

读写和允许输入的有效电平由括号中的字母(H或L)表示。

输入: 不相关的
输出: 不确定的或变化的

图 17 写—读循环

3.6 存储器测试图形的术语和说明

3.6.1 引言

3.6.1.1 基本术语的工作定义

3.6.1.1.1 数据图形 data pattern

在存储单元区域内逻辑“0”和逻辑“1”的阵列。

注: 区域通常分为“行”和“列”。

3.6.1.1.2 地址顺序 address sequence

地址的规定顺序。

3.6.1.1.3 测试图形 test pattern

规定的地址顺序连同每个地址规定的操作,它能够产生特定的数据图形。

3.6.1.2 说明

3.6.2 到 3.6.4.2 所列内容并不详尽,仅局限于描述。

未考虑有关测试次数或失效模式及相关测试图形。在 3.6.4 中描述的所有测试图形应规定数据图形进行测试。每种测试图形按照假定把内存地址分配为内存单元拓扑位置来选择地址顺序。

实际上,制造厂可以选择不同的分配方法。例如在一个 4K RAM 第 4095 号单元可以被分配在内存单元区域的左上角,与 0 号单元相邻,那么与这种特定数据图形相应的地址顺序则相应改变。

在所有规范中,制造厂应规定相应于规定数据图形的地址顺序,示例中给出一个“行”数和“列”数相等的方格区域。

一定程度上给出的大部分信息与内存中的数据图形相关,使用的是逻辑符号“0”和“1”(取代 L 和 H)。

注: N , 意指存储器单元数, 地址运行从 0 到 $N-1$ 。

3.6.2 数据图形 data patterns

在代表数据图形的图中, 内存单元的序号用 0 到 $N-1$ 来表示。其中 N 是单元总数。使用的序号是逐行从左到右。

注: 表达方式可以为 a) 逻辑方式或者 b) 图形方式。

3.6.2.1 全 1 (全 0) all ONE (all ZERO)

全部为 1 (全部为 0) 组成的数据图形 (全“1”见图 18)。

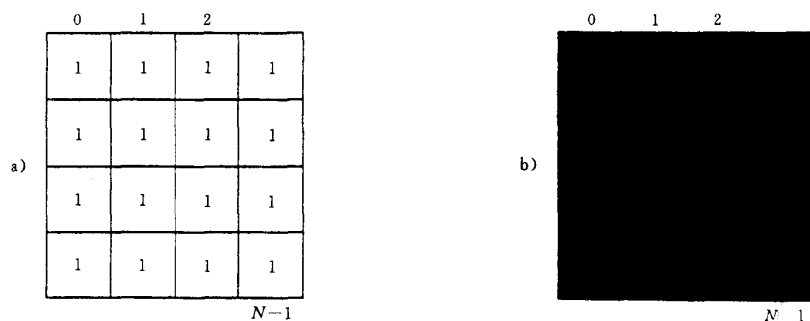


图 18

3.6.2.2 单 1 (单 0) single ONE (single ZERO)

基于全部为 0 (全部为 1) 的背景, 仅单个为 1 (单个为 0) 组成的数据图形 (单“1”见图 19)。

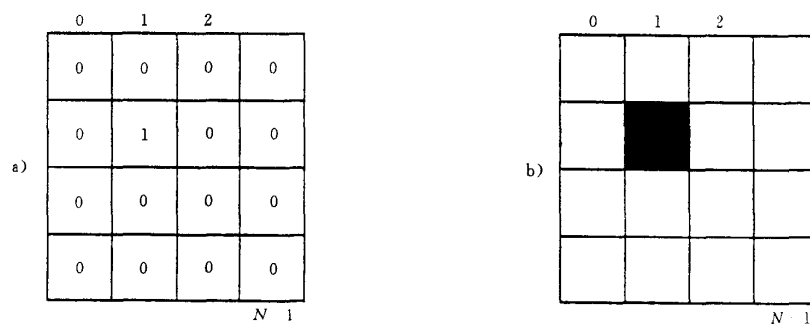


图 19

3.6.2.3 列条 column bars

“0”列和“1”列交替的数据图形 (见图 20)。

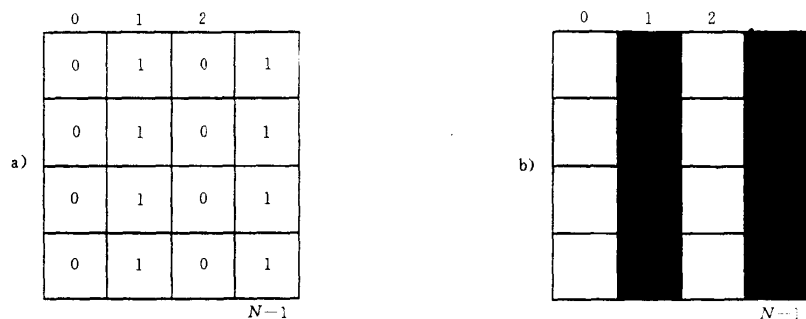


图 20

3.6.2.4 行条 row bars

“0”行和“1”行交替的数据图形(见图 21)。

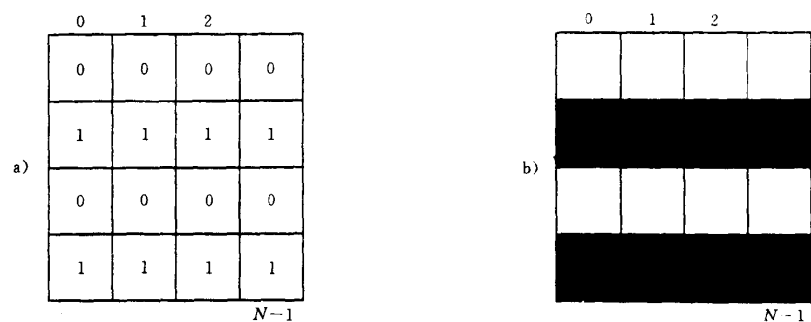


图 21

3.6.2.5 对角线 diagonal

互补的数据背景上对角线为“1”或“0”的数据图形。

注：在一个存储单元方形阵列上，“对角线”表述一种单元全部位于主对角线上(见图 22)或在两个平行对角线上，这种存储单元每行和每列上只设置一个(见图 23)。

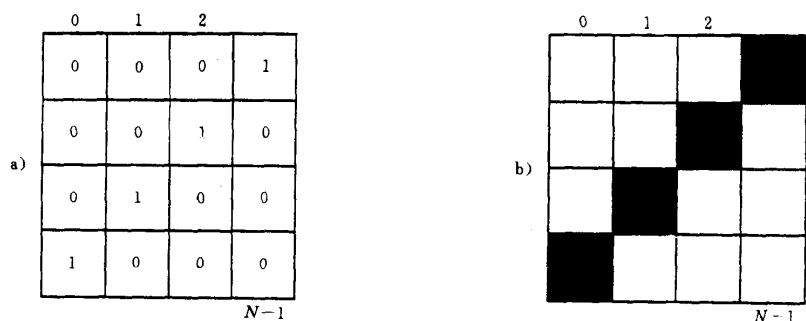


图 22

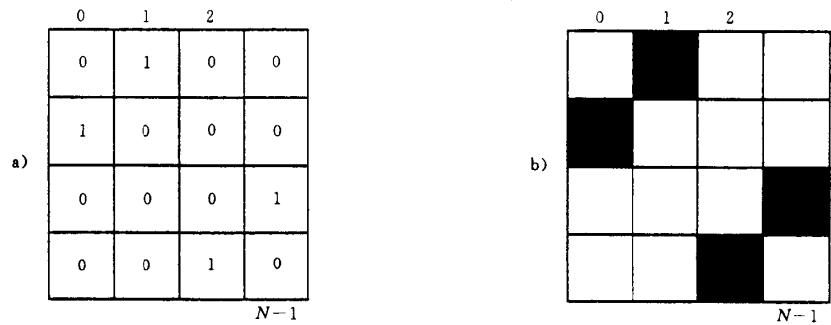


图 23

3.6.2.6 棋盘格 checker board

在行和列两个方向上，“0”和“1”两者交替的数据图形(见图 24)。

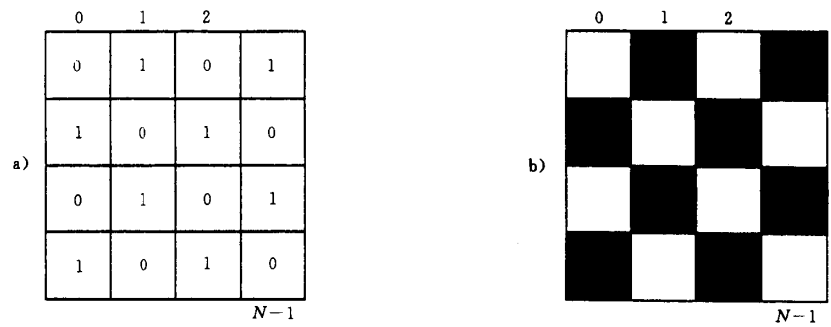


图 24

3.6.3 地址顺序 address sequences

注：依据适用的地址顺序，数据图形可以在内存区域内移位，取补或扩展。

3.6.3.1 步进 marching

一种地址顺序，按顺序读并以互补数据重写。

注：背景数据和重写数据是互补的(见图 25)。

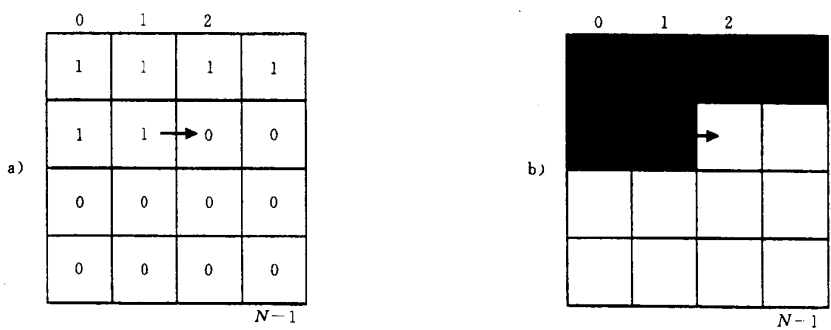


图 25

3.6.3.2 走步 walking

一种地址顺序，以一个或多个连续单元中的规定图形经过整个存储器移位，在每次移位之后，所有单元除了已写入的之外，将被读出(见图 26)。

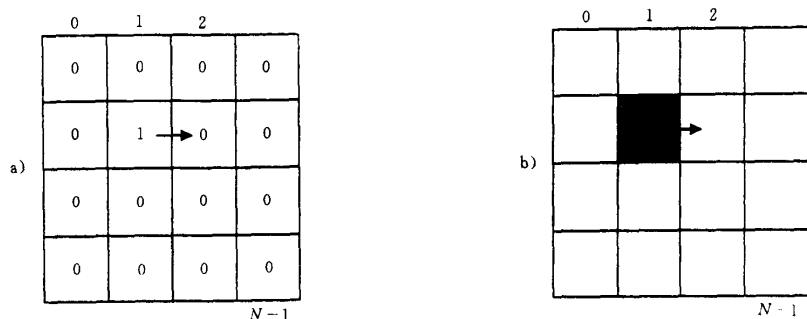


图 26

3.6.4 测试图形(举例)

3.6.4.1 步进 1(步进 0, 见注 2) marching ONE's(marching ZERO's)

一种具有以下产生方案的测试图形:

A. 把背景全为 0 的图形写入到存储器中(见图 27)。

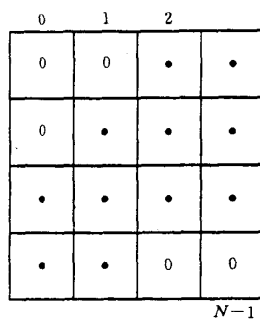


图 27

B. 在 N 个存储单元中, 每个单元先读然后取补, 于是存储器最终内容为起始背景图形的补数(见图 28)。

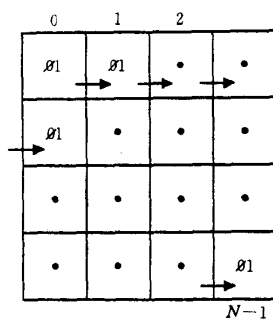


图 28

注

1 “01”表示“0”变为“1”。

2 从全 1 的背景图形起始, 这个测试图形称为步进 0。

3.6.4.2 走步(单)1[走步(单)0, 见注 2] walking (single) ONE's (walking single ZERO's)

一种具有以下产生方案的测试图形：

A. 把全 0 的背景图形写入存储器(见图 29)。

0	1	2	
0	0	•	•
0	•	•	•
•	•	•	•
•	•	0	0
N-1			

图 29

B. 把补数写入测试单元(见图 30)。

0	1	2	
01	0	•	•
0	•	•	•
•	•	•	•
•	•	0	0
N-1			

图 30

- C. 读存储器的剩余单元。
- D. 读测试单元。
- E. 写入它的补数,即重写 0,于是测试单元变成新的起始背景状态(见图 31)。
- F. 每个存储单元顺序重复 B 至 E 程序。

注

- 1 “x0”表示“1”变为“0”。
- 2 从全为 1 的背景图形起始,这个测试图形称为走步 0。

0	1	2	
x0	0	•	•
0	•	•	•
•	•	•	•
•	•	0	0
N-1			

图 31

4 微处理器集成电路的术语

4.1 微处理器集成电路 integrated circuit microprocessors

一种具有以下功能的集成电路：

- 按编码指令操作，和
- 根据指令

- a) 完成要处理的和(或)存储的编码数据的接收；
 - b) 对输入数据以及存储在微处理器集成电路的内寄存器和(或)处存储器中的任何相关数据进行算术和逻辑运算；
 - c) 发送编码数据；以及
 - 接收(或)发送用以控制和(或)描述微处理器集成电路的操作或状态的信号。
- 注：这些指令可以输入，固定或保存在一个内存储器中。

5 电荷转移器件的术语

5.1 器件名称

5.1.1 电荷转移器件(CTD) charge-transfer device

依靠分立电荷包沿半导体表面或半导体表面下方，或通过半导体表面上互连的有效运动而进行工作的器件。

注：该有效运动可以通过改变产生控制电场区域来实现的。

5.1.2 斗链式器件(BBD) bucket-brigade device

一种把电荷存储在半导体区域中并通过连接这些区域的一系列开关器件，以电荷包的形式转移这些电荷的电荷转移器件。

注

- 1 根据开关器件采用的技术，可在该术语及其缩写前冠以双极型、J-FET、MOS、SOS 等。
- 2 该器件是靠内部电容形成的各个位置上的再生电荷包工作的。

5.1.3 电荷耦合器件(CCD) charge-coupled device

一种在势阱中贮存电荷并依靠势阱位置的移动，以电荷包的形式几乎全部转移这种电荷的电荷转移器件。

注：该器件是依靠改变同一电荷包位置进行工作的。

5.1.4 电荷转移图像传感器 charge-transfer image sensor

一种将图像转换成能进行电图像传输的电荷包形式工作的电荷转移器件。

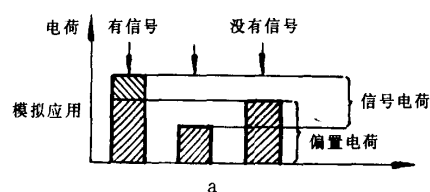
5.2 通用术语

5.2.1a) 偏置电荷(用于模拟信号) bias charge (for analogue signal application)

在模拟应用中，确定无信号电平并注入到所有势阱中的电荷(见图 32a 和 32b)。

注

- 1 有时称为“背景电荷”，主要用于成像器件。
- 2 通常该电荷是电注入的，或照射注入的。



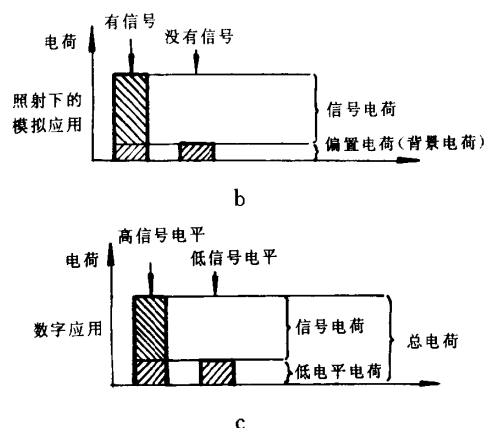


图 32 图示术语

5.2.1b) 低电平电荷(用于数字信号) low-level charge(for digital signal applications)

规定在数字信号低电平对已经注入到所有势阱中的一种电荷(见图 32c)。

注

- 1 禁止使用术语“胖零”来描述这种电荷。
- 2 通常该电荷是电注入的或照射注入的。

5.2.2 空零、实零 empty zero, real zero

一种没有偏置电荷或没有低电平电荷的状态。

5.2.3 信号电荷 signal charge

表示信号的那些电荷(见图 32)。

5.2.4 总电荷 total charge

贮存在势阱(或斗链式器件的分立区域)中的所有电荷(见图 32)。

5.2.5 电荷包 charge packet

总电荷中由一个位置转移到下一个位置中去的那部分电荷。

5.2.6 电荷转移损失(δ) charge-transfer loss(δ)

由于电荷的传输,所有界面态或体陷并被空置出来,在这些界面态和体陷阱中残余电荷衰减到零之后,当电荷包从一个贮存区转移到下一个贮存区时,为补充这些界面态和体陷阱的残余电荷而损失掉的那部分信号电荷。

5.2.7 转移栅 transfer gate

一种加上电压就能使电荷转移的电极,它与半导体之间用绝缘层或结来隔离。

5.2.8 贮存栅 storage gate

一种加上电压就能使电荷存储的电极,它与半导体之间用绝缘层或结来隔离。

5.2.9 交迭栅 overlapping gate

相邻电极交迭且彼此绝缘的一种转移栅。

5.2.10 浮置栅 floating gate

由绝缘层或结与半导体隔离的、没有欧姆接触的电极。

注

- 1 浮置栅的电位取决于存储在表面下方势阱中的电荷量。
- 2 浮置栅主要应用于信号检测电路或信号再生电路。原则上,浮置栅也可以是一个隔离扩散结、肖特基势垒等。

5.2.11 浮置区 floating region

一种无欧姆接触的高电导掺杂区,电荷包通过交迭栅或相邻转移栅经该区转移。

注：浮置区可以用作检测电路或再生电路中电荷信号的传感器。

5.2.12 (数字电路的)电荷再生级 charge-regeneration stage(of a digital circuit)

电荷转移器件中用来更新存储的数字信息的一个区域。

5.2.13 (电荷耦合器件的)势阱 potential well(of a charge-coupled device)

在转移栅上所加电压控制下,在电荷耦合器件半导体中形成的,用以限制任何可能存在的移动电荷的最小势垒。

5.2.14 电荷处理能力;满阱能力 charge handling capacity;full-well capacity

可以贮存在势阱中并能无溢出地转移到相邻势阱的最大电荷量。

5.2.15 转移沟道 transfer channel

电荷转移器件的区域,电荷流动被限制在这个区域中。

5.2.16 表面沟道 surface channel

在半导体-绝缘体界面上的转移沟道。

5.2.17 体内沟道 buried channel

位于半导体表面下方的转移沟道。

5.3 参数术语

5.3.1 电荷转移效率(CTE)(η) charge-transfer efficiency(CTE)(η)

信号电荷从一个存储区转移到下一个贮存区的比率。

5.3.2 总电荷转移效率(总信号转移效率) overall charge-transfer efficiency (overall signal-transfer efficiency)

输入信号电荷以电荷包的形式转移到输出端的比率。

5.3.3 平均电荷转移效率 average charge-transfer efficiency

总电荷转移效率的 n 次根, n 是转移次数。

5.3.4 饱和信号(用于模拟信号) saturation signal (for analogue signal applications)

能够以规定的线性度,在输入与输出之间转移的最大输入信号或最大照射功率。

5.3.5a) 饱和输入信号(用于数字信号) saturation input signal (for digital signal applications)

为填满势阱所需要的输入信号或照射功率。

5.3.5b) 饱和输出信号(用于数字信号) saturation output signal (for digital signal applications)

势阱产生的输出信号。

5.3.6 噪声等效信号 noise equivalent signal

使输出功率增加到无输入信号或无照射时所得值的两倍,所需要的输入信号电平或照射功率电平的方均根值。

5.3.7 动态范围 dynamic range

饱和信号与噪声等效信号之比表示的有用的线性工作范围。

5.3.8 平均漏电流密度(J_L) average leakage current density(J_L)

器件有源区内单位面积上的平均漏电流。

注：根据器件类型,有源区可以是转移沟道面积或包括沟道定义区内的总面积。其他名称有“平均暗电流密度”和“平均热生电流密度”。

5.3.9 漏电流尖峰 leakage current spike

漏电流超过其平均值以上某一规定值的变量。

5.3.10 电荷转移时间 charge-transfer time

将一电荷包的规定部分从一个贮存区转移到下一个贮存区所需要的时间。

5.3.11 信号延迟范围(用于延迟线的范围) signal-delay range(for delay lines)

自行解释。

6 组合电路和时序电路的文字符号

- a) 见 GB/T 17573—1998 标准第 V 篇和 GB/T 16464 标准第 V 篇。
- b) 见本篇第 7 章。

7 时序电路(包括存储器)动态参数的文字符号

7.1 引言

作为本条款所描述的文字符号体系的引言,下面给出了用来表示存储器和其他时序电路的动态参数的文字符号体系的一般特征。

a) 采用的本体系应能表示任何复杂的存储器电路的动态参数,而且也适合任何其他复杂的数字电路。例如,对于存储器和微处理器就不需要有不同的符号体系。

b) 一般情况下,上面的要求会使动态参数符号变得相当长和相当麻烦,因此在不至于引起歧义的情况下,符号应能够简化,而且这种简化应使之成为一个易理解便记忆的符号。

c) 对于选定作为下标的符号,不论它们是大写还是小写,要选择一套既自身一致,又与 IEC 以前的习惯一致的下标几乎是不可能的。考虑到取得适当的文字符号,既能应用于现在,也可应用于将来的时序电路是一件非常复杂的事情,它需要一种新的一致方法;因此这里决定采用自身一致的方法。

d) 数据表格和类似的打印文件最好选用本条给出的小写字母和下标,然而参数符号往往由缺乏适当的小写字母或下标符号的设备进行复制,这时,如果采取某种代替的方式打印,符号也应明确。

7.2 文字符号

本条概述的文字符号体系能产生包括存储器在内的复杂时序电路的动态参数的符号,这些符号在不致产生歧义的情况下可以缩写为简单的便于记忆的符号。

7.2.1 基本形式

动态参数符号的基本形式是:

$$t_{A(BC-DE)F}$$

其中:

- A——表示所描述的动态参数的类型,例如:周期、建立时间、允许时间等。
- B——表示信号或引出端的名称,对于该信号或引出端而言,其状态或电平的变化(或状态或电平的建立)构成一个被认为首先出现的信号事件,即出现在这一时间间隔的起点;如果这一信号事件实际出现在最后,即出现在这时间间隔的终点,这一时间间隔的值就是负的。
- C——表示由 B 代表的信号转换的方向和(或)最后状态或电平。当使用两个字母时,也指出了初始状态或电平。
- D——表示信号或引出端的名称,对于该信号或引出端而言,其状态或电平的变化(或状态或电平的建立)构成一个被认为首先出现的信号事件,即出现在这一时间间隔的起点;如果这一信号事件实际出现在最后,即出现在这时间间隔的终点,这一时间间隔的值就是负的。
- E——表示由 D 代表的信号的转换方向和(或)最后状态或电平。当使用两个字母时,也指出了初始状态或电平。
- F——表示附加资料,如工作方式、试验条件等。

注

- 1 下标 A 到 F 均可由一个或多个字母组成。
- 2 下标 D 和 E 不用于转移时间。
- 3 符号 $t_{A(BC-DE)F}$ 中的“—”表示“至”,因此该符号表示从信号事件 B 出现到信号事件 D 出现之间的时间间隔,这种表示方法适用于包括保持时间的所有动态参数,注意到这一点是重要的。当不至于产生误解时,该连字符“—”可以省略。

7.2.2 缩写形式

上面给出的基本符号形式在不至于产生误解时可以缩写,例如: $t_{A(B-D)}$

或: $t_{A(B)}$

或: $t_{A(D)}$ ——常用于保持时间。

或: t_{AF} ——这种情况不用括号。

或: $t_{A(BE)}$ ——常用于脉冲持续时间。

或: t_A

或: t_{BC-DE} ——常用于分类的时间间隔。

7.2.3 下标的配置

在下标文字符号的配置中,最常使用的下标配以适用的单一字母,那些不常用的下标可配以二到三个字母。应尽可能使用一些便于记忆的代表法。对于特殊的信号或引出端只要有助于理解可配以较长的文字符号。

7.3 下标 A, 动态参数的类型

下标 A 表示由符号表示的动态参数的类型,这些参数可以分成两类:

- a) 按器件定时要求;
- b) 按器件特性。

对于存储器电路,迄今推荐的文字符号列在下面的 7.3.1 和 7.3.2。

所有 A 下标都应小写。

7.3.1 定时要求

半导体存储器定时要求的文字符号如下:

术语	下标
周期	c
两信号事件出现的时间间隔	d
下降时间	f
保持时间	h
预充电时间	pc
上升时间	r
恢复时间	rec
刷新间隔时间	rf
建立时间	su
转换时间	t
脉冲持续时间(脉宽)	w

7.3.2 特性

半导体存储器动态特性的文字符号如下:

特性	下标
存取时间	a
禁止时间	dis
允许时间	en
传输时间	p
恢复时间	rec
转换时间	t
有效时间	v

注:作为特性使用的恢复时间限于读出恢复时间。

7.4 下标 B 和下标 D:信号名称或引出端名称

信号名称和引出端名称的文字符号如下:

所有 B 下标和 D 下标均应大写。

信号或引出端	下标
地址	A
时钟	C
列地址	CA
列地址选通	CAS
数据输入	D
数据输入/输出	DQ
片允许	E
擦除	ER
输出允许	G
程序	PR
数据输出	Q
读	R
行地址	RA
行地址选通	RAS
刷新	RF
读—写	RW
片选	S
写(写允许)	W

注

- 1 对于时间间隔的文字符号,下标上的横线,例如 $\overline{\text{CAS}}$,不应使用。
- 2 在以后选择文字符号时,应注意不要使用 H,L,V,X 或 Z 作为结尾(见 7.5)。
- 3 如果同一引出端或同一信号可用于两种功能(例如数据输入—输出,读—写)如果必要,应在波形上加双功能标记。但动态参数的符号应只包括与该参数有关的下标部分(见 7.7 中的 DQ,RW 的使用)。

7.5 下标 C 和下标 E:信号的转换

下列符号用于表示信号的电平或状态:

高电平	H
低电平	L
有效的稳态电平(低或高)	V
未知的、变化的或不相关的电平	X
三态输出的高阻态	Z

转换的方向由两个字母表示:方向是从第一个字母指示的状态到第二个字母指示的状态,其字母已在上给出。

当不至出现误解时,对下标 C 和下标 E,第一个字母可以省略而给出一个缩写的符号,如下所示。

所有下标 C 和下标 E 都应大写。

示例:	完整形式	下标 缩写形式
从高电平向低电平转换	HL	L
从低电平向高电平转换	LH	H
从未知的或变化的状态向有效状态的转换	XV	V

从有效状态向未知的或变化的状态转换	VX	X
从有效状态向高电平转换	VH	H
从有效状态向高阻态转换	VZ	Z
从高阻态向有效状态转换	ZV	V

注：由于下标 C 和下标 E 可以缩写，而且下标 B 和下标 D 字母不确写，因此为避免可能的混淆，有必要给下标 B 和下标 D 加一个限制，即不要以 H, L, V, X 或 Z 作为结尾。

7.6 下标 F

如果有必要，可以使用下标 F 来表示参数的附加条件，如操作方式，试验条件等。下面给出下标 F 文字符号。

下标 F 应大写	
操作方式	下标
掉电	PD
页式读	PGR
页式写	PGW
读	R
刷新	RF
读改写	RMW
读写	RW
写	W

7.7 文字符号的示例

引言

下面给出的示例表示时序电路的动态参数符号体系的使用方法。给出的缩写符号只是作为该体系的示例而不应看作是对具体动态参数推荐作用的具体缩写符号。同样给出的图形也不应看作是对任何具体时间间隔的测试规定了相应的起止点。

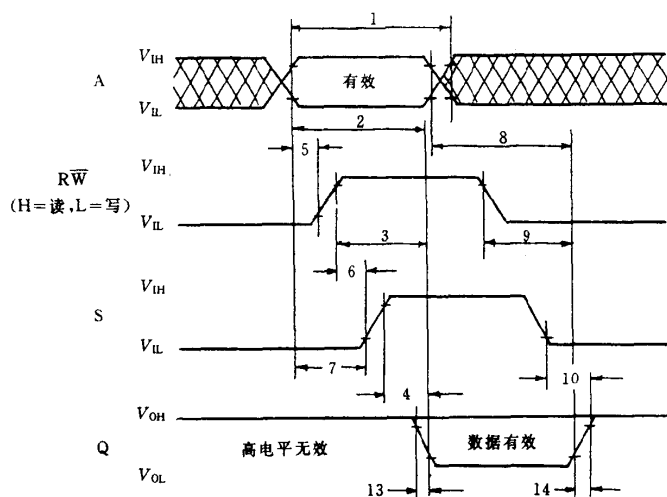
7.7.1 文字符号缩写的示例

表 I 给出了时序电路的动态参数文字符号缩写示例，表示了所有可能的缩写形式。这些缩写的任何形式都可以使用，但在不至产生误解时，建议使用较短的文字符号；文字符号的简化程度最好与名词术语的简化程度一致，但不是强制性的。

表 I 文字符号的缩写示例

术 语	文字符号
片选前读(方式)地址建立时间	$t_{su}(AXV-SLH)R$
	$t_{su}(AV-SH)R$
	$t_{su}(A-S)R$
片选前地址建立时间	$t_{su}(AXV-SLH)$
	$t_{su}(AV-SH)$
	$t_{su}(A-S)$
地址建立时间	$t_{su}(AXV)$
	$t_{su}(AV)$
	$t_{su}(A)$

7.7.2 半导体存储器文字符号的示例

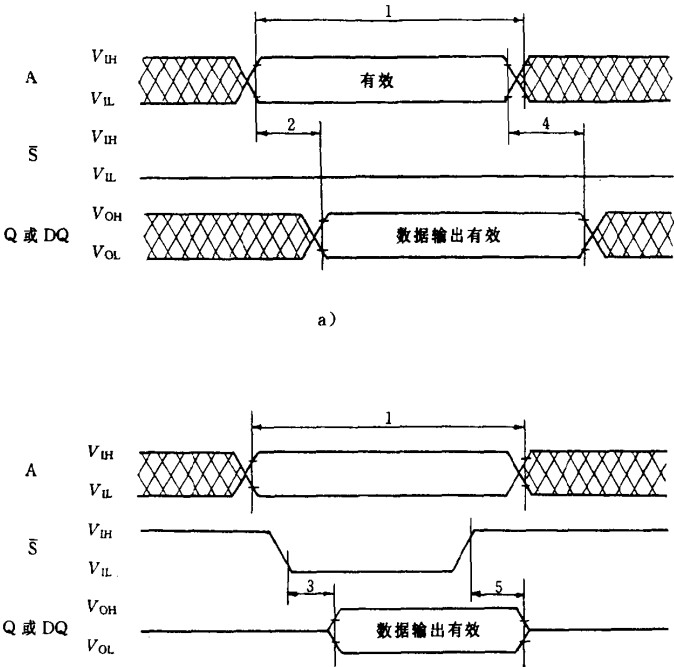


a) 集电极开路输出存储器

	完整符号 $t_{A(BC \text{ DE} \text{ F})}$	带下标 C 和下标 E 缩写的符号, 仅在必要时带下标 F	典型缩写形式
定时要求:			
1. 读周期	$t_c(AV-AV)R$	$t_c(AV-AX)R$	t_{cR}
5. 读前地址建立时间	$t_{su}(AXV-RLH)R$	$t_{su}(AV-RH)R$	$t_{su}(A-RH); t_{su}(A-R); t_{su}(A)$
6. 选前读建立时间	$t_{su}(RLH-SLH)R$	$t_{su}(RH-SH)R$	$t_{su}(R-S); t_{su}(R)$
7. 选前地址建立时间	$t_{su}(AXV-SLH)R$	$t_{su}(AV-SH)R$	$t_{su}(A-S); t_{su}(A)$
开关特性:			
2. 地址存取时间	$t_a(AV-QV)R$	$t_a(AV-QV)$	$t_a(A)$
3. 读存取时间	$t_a(RLH-QV)R$	$t_a(RH-QV)$	$t_a(R)$
4. 片选时间	$t_a(SLQ-QV)R$	$t_a(SH-QV)$	$t_a(S)$
8. 地址后(前)输出有效时间	$t_v(AVX-QVX)R$	$t_v(AX-QX)$	$t_v(A-Q); t_v(A); t_v(Q)$
9. 读(结束)后输出有效时间	$t_v(RHL-QVX)R$	$t_v(RL-QX)$	$t_v(R-Q); t_v(R); t_v(Q)$
10. 选(结束)后输出禁止时间	$t_{dis}(SHL-QVH)R$	$t_{dis}(SL-QH)$	$t_{dis}(S-Q); t_{dis}(SL); t_{dis}(S)$
13. 高电平向低电平输出转换时间	$t_t(QHL)R^*$	$t_t(QL)$	$t_t(L)$
14. 低电平向高电平输出转换时间	$t_t(QLH)R^*$	$t_t(QH)$	$t_t(H)$
* 转换时间, 包括上升和下降时间, 不使用下标 D 和下标 E。			

b) 典型存储器读循环的文字符号

图 33

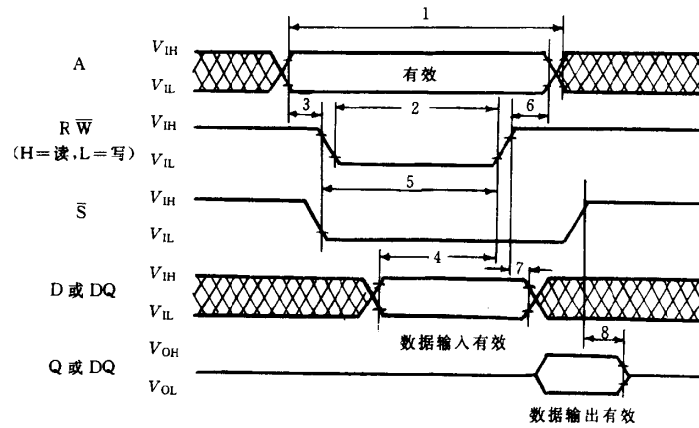


b) 集电极开路输出存储器

	完整符号 $t_{A(BC-DE)F}$	带下标 C 和下标 E 缩写的符号, 仅在必要时带下标 F	典型缩写形式
定时要求:			
1. 读周期	$t_{c(AV-AVX)R}$	$t_{c(AV-AX)R}$	t_{cR}
开关特性:			
2. 地址存取时间	$t_a(AV-QV)R$	$t_a(AV-QV)R$	$t_a(A)$
3. 片选存取时间	$t_a(SL-QV)R$	$t_a(SL-QV)R$	$t_a(S)$
4. 地址后输出有效时间	$t_v(AV-QVX)R$	$t_v(AX-QX)R$	$t_v(A)$
5. 选后输出禁止时间	$t_{dis}(SLH-QVZ)R$	$t_{dis}(SH-QZ)R$	$t_{dis}(S)$

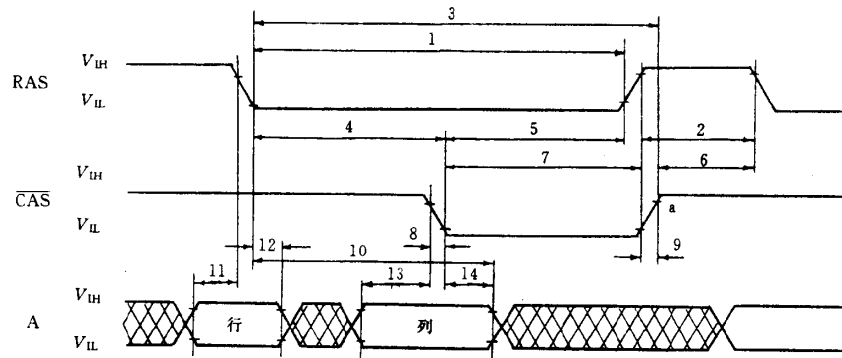
图 34 典型的静态随机存取存储器, 读循环

写循环



	完整符号 $t_{A(BC-DE)F}$	带有下标 C 和下标 E 缩写的符号, 仅在必要时带下标 F	典型缩写形式
定时要求:			
1. 写周期	$t_c(AXV-AXX)W$	$t_c(AV-AX)W$	t_cW
2. 写脉冲持续时间(脉宽)	$t_c(WHL-WLH)W$	$t_w(WL-WH)$	$t_w(WL); t_w(W)$
3. 写前地址建立时间	$t_{su}(AXV-WHL)W$	$t_{su}(AV-WL)$	$t_{su}(A-W); t_{su}(A)$
4. 写前(写结束)数据建立时间	$t_{su}(DXV-WLH)W$	$t_{su}(DV-WH)$	$t_{su}(D-W); t_{su}(D); t_{su}(D-WH)$
5. 写前(写结束)片选建立时间	$t_{su}(SHL-WLH)W$	$t_{su}(SL-WH)$	$t_{su}(S-W); t_{su}(S); t_{su}(S-WH)$
6. 写恢复时间	$t_{rec}(WLH-AXX)W$	$t_{rec}(WH-AX)$	$t_{rec}(W-A); t_{rec}(W)$
或			
写后地址保持时间	$t_h(WLH-AXX)W$	$t_h(WH-AX)$	$t_h(W-A); t_h(A)$
7. 写后数据保持时间	$t_h(WLH-DVX)W$	$t_h(WH-DX)$	$t_h(W-D); t_h(D)$
开关特性:			
8. 选后输出禁止时间	$t_{dis}(SLH-QVZ)W$	$t_{dis}(SH-QZ)$	$t_{dis}(S-Q); t_{dis}(S)$

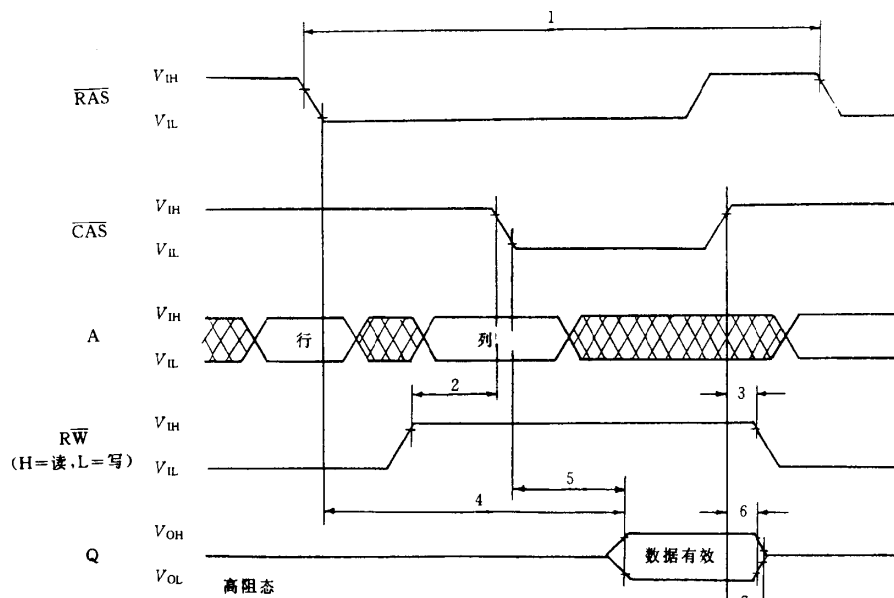
图 35 典型的静态随机存取存储器, 写循环



	完整符号 $t_{A/BC-DE/F}$	带有下标 C 和下标 E 缩写的符号, 仅在必要时带下标 F	典型缩写形式
定时要求:			
1. $\overline{\text{RAS}}$ 低脉冲持续时间(脉宽)	$t_w(\text{RASHL}-\text{RASLH})$	$t_w(\text{RASL}-\text{RASH})$	$t_w(\text{RASL})$
2. $\overline{\text{RAS}}$ 高脉冲持续时间(脉宽)	$t_w(\text{RASLH}-\text{RASHL})$	$t_w(\text{RASH}-\text{RASL})$	$t_w(\text{RASH})$
3. $\overline{\text{RAS}}$ 低到 $\overline{\text{CAS}}$ 高的时间间隔	$t_d(\text{RASHL}-\text{CASLH})$	$t_d(\text{RASL}-\text{CASH})$	$t_l(\text{RASL}-\text{CASH})$
4. $\overline{\text{RAS}}$ 低到 $\overline{\text{CAS}}$ 低的时间间隔	$t_d(\text{RASHL}-\text{CASHL})$	$t_d(\text{RASL}-\text{CASL})$	$t_l(\text{RASL}-\text{CASL})$
5. $\overline{\text{CAS}}$ 低到 $\overline{\text{RAS}}$ 高的时间间隔	$t_d(\text{CASHL}-\text{RASLH})$	$t_d(\text{CASL}-\text{RASH})$	$t_l(\text{CASL}-\text{RASH})$
6. $\overline{\text{CAS}}$ 高到 $\overline{\text{RAS}}$ 低的时间间隔	$t_d(\text{CASLH}-\text{RASHL})$	$t_d(\text{CASH}-\text{RASL})$	$t_l(\text{CASL}-\text{RASL})$
7. $\overline{\text{CAS}}$ 低脉冲持续时间(脉宽)	$t_w(\text{CASHL}-\text{CASLH})$	$t_w(\text{CASL}-\text{CASH})$	$t_w(\text{CASL})$
8. $\overline{\text{CAS}}$ 下降时间	$t_f(\text{CASHL})^*$	$t_f(\text{CASL})$	$t_f(\text{CAS})$
9. $\overline{\text{CAS}}$ 上升时间	$t_r(\text{CASLH})^*$	$t_r(\text{CASH})$	$t_r(\text{CAS})$
10. $\overline{\text{RAS}}$ 低后 CA 保持时间	$t_h(\text{RASHL}-\text{CAVX})$	$t_h(\text{RAL}-\text{CAX})$	$t_h(\text{RASL}-\text{CA})$; $t_h(\text{RAS}-\text{CA})$
11. $\overline{\text{RAS}}$ 低后 RA 建立时间	$t_{su}(\text{RAXV}-\text{RASHL})$	$t_{su}(\text{RAV}-\text{RASL})$	$t_{su}(\text{RA}-\text{RASL})$; $t_{su}(\text{RA}-\text{RAS})$
12. $\overline{\text{RAS}}$ 低后 RA 保持时间	$t_h(\text{RASHL}-\text{RAVX})$	$t_h(\text{RASL}-\text{RAX})$	$t_h(\text{RASL}-\text{RA})$; $t_h(\text{RAS}-\text{RA})$
13. $\overline{\text{CAS}}$ 低前 CA 建立时间	$t_{su}(\text{CAVX}-\text{CASHL})$	$t_{su}(\text{CAV}-\text{CASL})$	$t_{su}(\text{CA}-\text{CASL})$; $t_{su}(\text{CA}-\text{CAS})$
14. $\overline{\text{CAS}}$ 低后 CA 保持时间	$t_h(\text{CASHL}-\text{CAVX})$	$t_h(\text{CASL}-\text{CAX})$	$t_h(\text{CASL}-\text{CA})$; $t_h(\text{CAS}-\text{CA})$
* 下标 D 和 E 不用于转换时间, 包括上升时间的和下降时间。			

图 36 典型的动态随机存取存储器, 对读循环、写循环和读写循环的一般要求

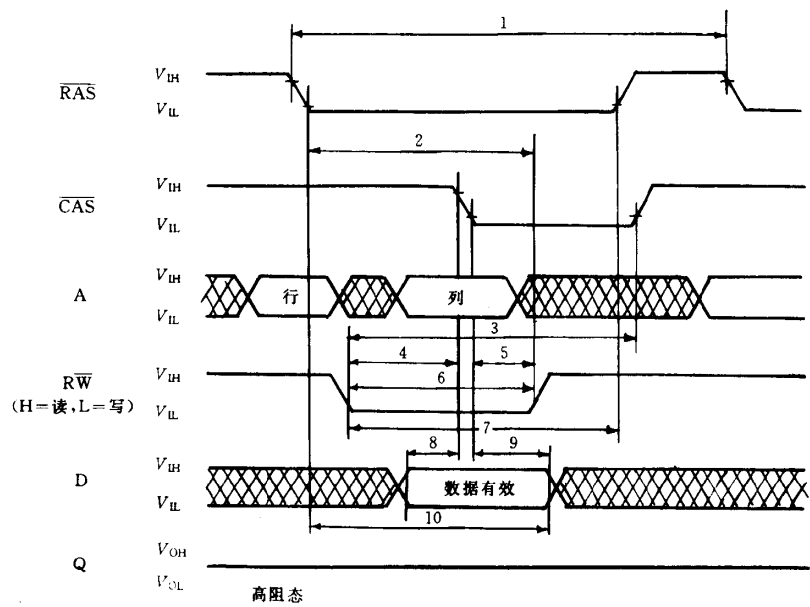
读循环



	完整符号 $t_{A(BC-DE)F}$	带有下标 C 和下标 E 缩写的符号, 仅在必要时带下标 F	典型缩写形式
定时要求:			
1. 读周期	$t_c(RASHL-RASHL)R$	$t_c(RASL-RASL)R$	t_{cR}
2. $\overline{CAS}$ 低前读建立时间	$t_{suc}(RLH-CASHL)R$	$t_{su}(RH-CASL)$	$t_{su}(R-CASL); t_{su}(R-CAS)$
3. $\overline{CAS}$ 高后读保持时间	$t_h(CASLH-RHL)R$	$t_h(CASH-RL)$	$t_h(CASH-R); t_h(CAS-R)$
开关特性:			
4. $\overline{RAS}$ 低存取时间	$t_a(RASHL-QVZ)R$	$t_a(RASL-QV)$	$t_a(RASL); t_a(RAS)$
5. $\overline{CAS}$ 低存取时间	$t_a(CASHL-QVZ)R$	$t_a(CASL-QV)$	$t_a(CASL); t_a(CAS)$
6. $\overline{CAS}$ 高后输出有效时间	$t_v(CASLH-QVX)R$	$t_v(CASH-QX)$	$t_v(CASH-Q); t_v(CAS-Q); t_v(CAS)$
7. $\overline{CAS}$ 高后输出禁止时间	$t_{dis}(CASLH-QVZ)R$	$t_{dis}(CASH-QZ)$	$t_{dis}(CASH-Q); t_{dis}(CAS)$

图 37 典型的动态随机存取存储器, 读循环

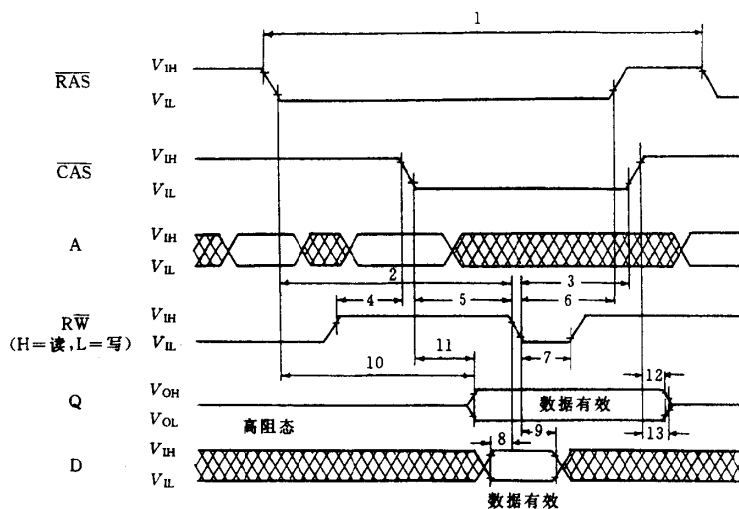
读循环



	完整符号 $t_{A(BC-DE)F}$	带有下标 C 和下标 E 缩写的符号, 仅在必要时带下标 F	典型缩写形式
定时要求:			
1. 写周期	$t_c(RASHL-RASHL)W$	$t_c(RASL-RASL)W$	t_{cW}
2. $\overline{RAS}$ 低后写保持时间	$t_h(RASHL-WLH)W$	$t_h(RASL-WH)$	$t_b(RASL-W); t_b(RAS-W)$
3. 写后 $\overline{CAS}$ 低保持时间	$t_h(WHL-CASH)W$	$t_h(WL-CASH)$	$t_h(W-CASH); t_h(W-CAS)$
4. $\overline{CAS}$ 低前写建立时间	$t_{su}(WLH-CASHL)W$	$t_{su}(WL-CASL)$	$t_{su}(WL-CASL); t_{su}(W-CAS)$
5. $\overline{CAS}$ 低后写保持时间	$t_h(CASHL-WLH)W$	$t_h(CASL-WH)$	$t_h(CASL-W); t_h(CAS-W)$
6. 写脉冲持续时间(脉宽)	$t_w(WHL-WLH)W$	$t_w(WL-WH)$	$t_w(WL); t_w(W)$
7. 写后 $\overline{RAS}$ 低保持时间	$t_h(WHL-RASHL)W$	$t_h(WL-RASH)$	$t_h(W-RASH); t_h(W-RAS)$
8. $\overline{CAS}$ 低前数据输入建立时间	$t_{su}(DXV-CASHL)W$	$t_{su}(DV-CASL)$	$t_{su}(CASL-D); t_{su}(D-CAS)$
9. $\overline{CAS}$ 低后数据输入保持时间	$t_h(CASHL-DVX)W$	$t_h(CASL-DX)$	$t_h(CASL-D); t_h(CAS-D)$
10. $\overline{RAS}$ 低后数据输入保持时间	$t_h(RASHL-DVX)W$	$t_h(RASL-DX)$	$t_h(RASL-D); t_h(RAS-D)$

图 38 典型的动态随机存取存储器, 写循环

读—写循环



	完整符号 $t_{A(BC-DE)F}$	带有下标 C 和下标 E 缩写的符号, 仅在必要时带下标 F	典型缩写形式
定时要求:			
1. 读—写周期	$t_c(RASHL-RASHL)RW$	$t_c(RASL-RASL)RW$	t_{cRW}
2. $\overline{RAS}$ 低到写的间隔时间	$t_d(RASHL-WHL)RW$	$t_d(RASL-WL)$	$t_d(RAS-W) ; t_{dRASH-WL} ; t_{dRAS-W}$
3. 写后 $\overline{CAS}$ 低保持时间	$t_h(WHL-CASH)RW$	$t_h(WL-CASH)$	$t_h(W-CASH) ; t_h(W-CAS)$
4. $\overline{CAS}$ 低前读建立时间	$t_{su}(RLH-CASH)RW$	$t_{su}(RH-CASL)$	$t_{su}(R-CASL) ; t_{su}(R-CAS)$
5. $\overline{CAS}$ 低到写的间隔时间	$t_d(CASHL-WHL)RW$	$t_d(CASL-WL)$	$t_d(CAS-W) ; t_{dCASH-WL} ; t_{dCAS-W}$
6. 写后 $\overline{RAS}$ 低保持时间	$t_h(WHL-RASH)RW$	$t_h(WL-RASH)$	$t_h(W-RASH) ; t_h(W-RAS)$
7. 写脉冲持续时间(脉宽)	$t_w(WHL-WLH)RW$	$t_w(WL-WH)$	$t_w(WL) ; t_w(W)$
8. 写前数据输入建立时间	$t_{su}(DXV-WHL)RW$	$t_{su}(DV-WL)$	$t_{su}(D-W)$
9. 写后数据输入保持时间	$t_h(WHL-DVX)RW$	$t_h(WL-DX)$	$t_h(W-D)$
开关特性:			
10. RAS低存取时间	$t_a(RASHL-QV)RW$	$t_a(RASL-QV)$	$t_a(RASL) ; t_a(RAS)$
11. CAS低存取时间	$t_a(CASHL-QV)RW$	$t_a(CASL-QV)$	$t_a(CASL) ; t_a(CAS)$
12. CAS高后输出有效时间	$t_v(CASH-QVX)RW$	$t_v(CASH-QX)$	$t_v(CASH-Q) ; t_{v(CAS-Q)} ; t_{v(CAS)}$
13. CAS高后输出禁止时间	$t_{dis}(CASH-QVZ)RW$	$t_{dis}(CASH-QZ)$	$t_{dis}(CASH-Q) ; t_{dis}(CAS-Q) ; t_{dis}(CAS)$

图 39 典型的动态随机存取存储器, 读—写循环

8 数字集成电路附加术语和定义

8.1 逻辑阵列 logic array

由逻辑单元或逻辑电路阵列组成的集成电路, 其互连将根据用户定义的逻辑功能或在制造期间确定或由用户完成。

门阵列 gate array

一种由逻辑门阵列组成的集成电路。

注：这种类型的集成电路也被称为掩模式可编程逻辑阵列(MPLA)和自由的逻辑阵列(ULA)。

8.2 可编程逻辑阵列 programmable logic array

由具有固定的内部互连图形的组合逻辑和时序逻辑单元(电路)阵列组成的集成电路,能够在制造完成后连接或断开内部连线,完成特定的逻辑功能。

注：这种类型的集成电路也缩写为“PLA”。

第Ⅱ篇 基本额定值和电特性

第1节 数字集成电路 通用部分

除另有规定外,本节内容包括组合和时序数字电路、双极和 MOS 电路,不包括交流耦合数字集成电路。

1 电路的识别和说明

1.1 标志和类型

1.2 工艺

应予说明集成电路的制造工艺,例如半导体单片集成电路、薄膜集成电路、混合集成电路、微型组件等等。这一说明应包括象 NMOS、CMOS、肖特基 TTL 或 I²L 这类半导体工艺细节。

1.3 封装识别

1.3.1 外形图的 IEC 标准号和(或)国家标准号,或包括引出端编号的非标准封装图。

1.3.2 主要封装材料,例如:陶瓷、塑料、玻璃。

1.3.3 引出端识别,引出端数目和关联的功能。

2 功能说明

2.1 框图

应给出数字集成电路的框图或等效电路资料。

例如:

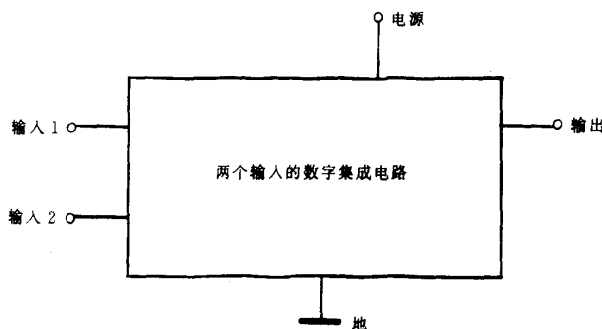


图 40

可以识别下列引出端:

- a) 电源端,即连接到电源的引出端。
- b) 输入端和输出端,即信号进入或流出的引出端,术语“信号”包括脉冲和更复杂的波形。

- c) 适当时,可以用来控制或改变电路特性的其他引出端。
 - d) 空端。
- 框图应标明每个外部连接的功能,当不至于出现混淆时,也可以标出引出端的编号。如果封装具有金属部分,则其与外部引出端的任何连接都应指出。必要时,与任何相关的外部电子元件的连接也应说明。
- 作为附加资料,可以给出完整的电原理图,但不必标出电路元件值。

2.2 功能说明

- 电路执行的功能应予说明,例如,以功能表的形式说明。
- 例如:
- 具有两个输入端执行 NAND(NOR)功能的数字集成电路的功能表:

输入 1	输入 2	输 出
H	H	L
H	L	H
L	H	H
L	L	H

- 除另有规定外,则 H 和 L 指电压。
- 2.3 复杂结构
- 对一个单独封装的复杂结构,允许的引出端外部互连,象负载电阻这类外接的外部元件以及可以执行的主要功能,必要时应予说明。

3 额定值(极限值)

- 在执行下列条款时,如果引用最大和(或)最小值,制造厂必须指出是绝对值还是代数值。
- 给出的额定值必须覆盖在规定的工作温度范围内集成电路的操作,当额定值与温度有关时,则这种相关性应予说明。

3.1 连续电压和连续电流

- 3.1.1 相对于一个规定的电参考点,电源端上连续电压的极限值(见注)。
- 3.1.2 适用时,规定的电源端之间的极限电压(见注)。
- 3.1.3 当要求一个以上的电源电压时,应说明这些电源的施加顺序是否有意义;如果有,这一顺序应予说明。
- 3.1.4 当电压额定值不足以限制通过某一引出端的电流时,则该引出端的电流额定值的极限值也应给出(见注)。
- 3.1.5 适用时,应规定输入和(或)输出端的连续条件的极限值。

注: 当需要一个以上的电源时,说明这些电源电压和电流额定值的组合是必要的。

3.2 非连续电压和非连续电流

- 3.2.1 如果在 3.1.1 和 3.1.4 中给出的值在瞬态条件下是可能超过的,则应说明允许超过的值以及它们的持续时间。
- 3.2.2 输入和(或)输出电压和电流极限值,以及适用时,在规定的最坏条件下的限制时间。

3.3 温度

- 3.3.1 最低和最高环境或参考点的工作温度。
- 3.3.2 最低和最高贮存温度。

3.4 承受短路的能力

- 适用时,在规定的最坏条件下,应给出每个输出端和任何电源端(或地)之间的最长短路持续时间。

4 推荐工作条件(规定的工作温度范围内)

4.1 电源电压值的范围:用标称值、给定的正、负偏差(允许偏差)来表述,正、负偏差(允许偏差)不必相等,但应说明。

标称值和允许偏差引自 GB/T 16464—1996 第 VI 篇第 6 章。

4.2 输入脉冲条件,电压和(或)电流的电平以及波形,适用时,还应规定输入信号时间关系曲线。

4.3 适用时,所有输入端的连续电压和(或)连续电流偏置条件。

4.4 适用时,所有输出端的连续电压和(或)连续电流偏置条件。

4.5 适用时,输入和输出端所需要的外部阻抗的值。

4.6 时钟的脉冲条件。适用时,这样的条件应包括电压电平、脉冲波形条件和脉冲时间关系。

5 双极型集成电路的静态电特性

本章中的每一种电特性应在最坏电气条件下加以规定。这一规定的最坏电气条件相应于 4.1 所述的电源电压的推荐范围,和

- a) 规定的全工作温度范围,或
- b) 25℃ 温度、最高和最低工作温度。

5.1 数字电压信号的基本特性

电压特性用四个范围表示,每一个范围由两个极限值规定,因此需要八个电压值。

对于电压变化的每种状态,规定两个范围:输出的保证范围和输入的允许范围。施加给输入的允许范围内的任何电压,应使输出电压维持在与功能表所示的结果状态相符合的保证范围内。因此需要下列电压特性:

V_{OHA} :输出端保证高态电压范围的最大正值(最小的负值)。

注:在许多实际情况下,可以简化为 V_{OHA} 等于最大正电源电压的最大正值(或者,当仅有负电源电压时等于零),在没有给出 V_{OHA} 时,就属于这种情况。

V_{OHB} :输出端保证高态电压范围的最小正值(最大的负值)。

V_{OLA} :输出端保证低态电压范围的最大正值(最小的负值)。

V_{OLB} :输出端保证低态电压范围的最小正值(最大的负值)。

注:在许多实际情况下,可以简化为 V_{OLB} 等于最大负电源电压的最大负值(或者,当仅有正电源电压时等于零),在没有给出 V_{OLB} 时,就属于这种情况。

V_{IHA} :输入端允许高态电压范围的最大正值(最小的负值)。

注:当没有给出 V_{IHA} 时,则认为 $V_{IHA} = V_{OHA}$ 。

V_{IHB} :输入端允许高态电压范围的最小正值(最大的负值)。

V_{ILA} :输入端允许低态电压范围的最大正值(最小的负值)。

V_{ILB} :输入端允许低态电压范围的最小正值(最大的负值)。

注:当没有给出 V_{ILB} 时,则认为 $V_{ILB} = V_{OLB}$ 。

5.1.1 具有输入滞后电路的基本特性(例如,施密特触发电路)

V_{IT+} , V_{ITP} :正向(输入)阈值电压。

V_{IT+A} , V_{ITPA} :保证正向(输入)阈值电压范围的最大正值(最小的负值)。

V_{IT+B} , V_{ITPB} :保证正向(输入)阈值电压范围的最小正值(最大的负值)。

V_{IT-} , V_{ITN} :负向(输入)阈值电压。

V_{IT-A} , V_{ITNA} :保证负向(输入)阈值电压范围的最大正值(最小的负值)。

V_{IT-B} , V_{ITNB} :保证负向(输入)电压范围的最小正值(最大的负值)。

注:资料中常用术语“滞后”表示正向(输入)阈值电压和负向(输入)阈值电压之间的差值:

$$V_{\text{bys}} = V_{\text{IT+}} - V_{\text{IT-}} \text{ 或 } V_{\text{bys}} = V_{\text{ITP}} - V_{\text{ITN}}$$

5.2 输入箝位电压(适用时)

在规定的输入电流下,输入箝位电压的最大值。

注:对有一个或多个输入箝位二极管的电路,应加以规定,例如输入箝位 TTL。

5.3 输入和输出电流的基本特性

5.3.1 所有数字集成电路的基本特性

与四个输出电压都有关的基本特性是由电路设计决定的电流驱动能力和吸收能力。

因此,有必要规定与这四个输出电压有关的电流极限值。按惯例,流进引出端的电流为正,流出引出端的电流为负。下面的电流特性是需要的:

V_{OHA} 下的 I_{OHB} :当施加到输入端的电压具有最坏条件值时,被测输出端在 V_{OHA} 下的输出电流的最小正值(最大负值);这一最坏条件值处于与输入状态相应的适当范围 V_{IHA} 到 V_{IHB} 和(或) V_{ILA} 到 V_{ILB} 内,而该输入状态是产生功能表规定的高态输出所必需的。

注:如果 V_{OHA} 等于最大正电源电压的最大正值,则不必给出本电流值。

V_{OHB} 下的 I_{OHA} :当施加到输入端的电压具有最坏条件值时,被测输出端在 V_{OHB} 下的输出电流的最大正值(最小负值);这一最坏条件值处于与输入状态相应的适当范围 V_{IHA} 到 V_{IHB} 和(或) V_{ILA} 到 V_{ILB} 内,而该输入状态是产生功能表规定的高态输出所必需的。

V_{OLA} 下的 I_{OLB} :当施加到输入端的电压具有最坏条件值时,被测输出端在 V_{OLA} 下的输出电流的最小正值(最大负值);这一最坏条件值处于与输入状态相应的适当范围 V_{IHA} 到 V_{IHB} 和(或) V_{ILA} 到 V_{ILB} 内,而该输入状态是产生功能表规定的低态输出所必需的。

V_{OLB} 下的 I_{OLA} :当施加到输入端的电压具有最坏条件值时,被测输出端在 V_{OLB} 下的输出电流的最大正值(最小负值);这一最坏条件值处于与输入状态相应的适当范围 V_{IHA} 到 V_{IHB} 和(或) V_{ILA} 到 V_{ILB} 内,而该输入状态是产生功能表规定的低态输出所必需的。

注:如果 V_{OLB} 等于最大负电源电压的最大负值,则不必给出本电流值。

同样,当给电路的输入加上四个输入电压中的任何一个电压时,也将吸收或驱动某一电流。输入端电流的极限值如下:

V_{OHA} 下的 I_{IHB} :当施加到被测输入端的电压为 V_{OHA} 时,而施加到其他输入端的电压为 $V_{\text{IHA}} \sim V_{\text{IHB}}$ 和(或) $V_{\text{ILA}} \sim V_{\text{ILB}}$ 范围内最坏条件值时,输入电流的最小正值(最大的负值)。

注:本特性在诸如对 ECL 电路,或者当 V_{OLB} 等于最大正电源电压的最大正值时的每种情况下都不是强制性的。

V_{OHB} 下的 I_{IHA} :当在被测输入端施加 $V_{\text{OHB}} \sim V_{\text{IHA}}$ 范围内的规定的最坏条件值,而施加到其他输入端的电压为 $V_{\text{IHA}} \sim V_{\text{IHB}}$ 和(或) $V_{\text{ILA}} \sim V_{\text{ILB}}$ 范围内的最坏条件值时,输入电流的最大正值(最小的负值)。

注:最坏条件电压是使输入电流增大到最大值并在允许范围内的电压。

V_{OLA} 下的 I_{ILB} :当在被测输入端施加 $V_{\text{ILB}} \sim V_{\text{OLA}}$ 范围内的规定的最坏条件值,而施加到其他输入端的电压为 $V_{\text{IHA}} \sim V_{\text{IHB}}$ 和(或) $V_{\text{ILA}} \sim V_{\text{ILB}}$ 范围内的最坏条件值时,输入电流的最小正值(最大的负值)。

注:最坏条件电压是使输入电流增大到最大值并在允许范围内的电压。

V_{OLB} 下的 I_{ILA} :当施加到被测输入端的电压为 V_{OLB} 时,而施加到其他输入端的电压为 $V_{\text{IHA}} \sim V_{\text{IHB}}$ 和(或) $V_{\text{ILA}} \sim V_{\text{ILB}}$ 范围内的最坏条件值时,输入电流的最大正值(最小的负值)。

注:本特性在诸如对 ECL 电路,或者当 V_{OLB} 等于最大负电源电压的最大负值时的每种情况下都不是强制性的。

通常,必须对输出和输入端的电压-电流曲线上的四个点加以规定(示例见图 41 和图 42);规范可以使用下列三个方法中的一个方法进行规定:

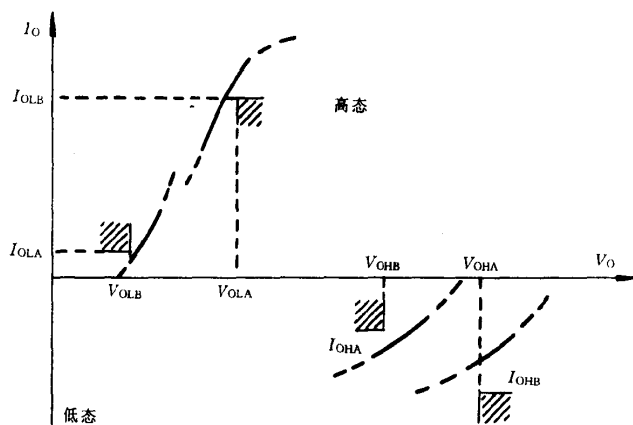


图 41 输出电流与输出电压的关系

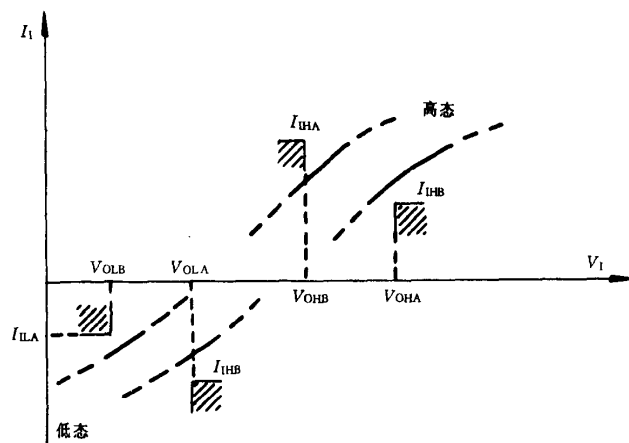


图 42 输入电流与输入电压的关系

注：在图 41 和图 42 中，原点不一定表示零电压或零电流。

- 当施加一个规定的参考电流，测试产生的电压；
- 施加一个规定的参考电压，测试产生的电流；
- 通过一个规定的负载电阻施加规定的参考电压，在输出端测试电压或电流。

注：方法 c) 应仅在电路被规定用来驱动一个规定负载时采用。

5.3.2 三态输出数字集成电路的附加特性

5.3.2.1 输出关态电流 I_{OZ}

在规定的输入条件下，将输出置于高阻抗状态下的输出电流。

注：通常输出关态电流的规范值与它的绝对值 $|I_{OZ}|$ 有关。

5.4 最坏情况的条件

输入和输出特性曲线的边界必须保证在规定工作温度范围内的最坏电气条件，或者在 25℃ 温度、

最高和最低工作温度下的最坏电气情况里。

这通过规定点在最坏情况条件下的值来实现。最坏情况条件对每个规定点一般是不同的。

在规定的范围内,允许独立变化并决定最坏电气情况的条件是:

a) 规定的推荐范围内的电源电压。

b) 施加到某输入端(不是那些与测试直接有关的输入端)的条件,即从适当范围 $V_{IHA} \sim V_{IHB}$ 和(或) $V_{ILA} \sim V_{ILB}$ 选择的电压。

5.5 锁定特性

5.5.1 锁定电流

在规定的环境温度或壳温条件下,以及规定的电源电压和适用的触发功能条件下(电流)的最大值。

5.5.2 锁定电压

在规定的环境温度或壳温条件下,以及规定的电源电压和适用的触发功能条件下(电压)的最小值。

5.5.3 锁定电源电压

在规定的环境温度或壳温条件下,以及规定电源电压条件下的最小值。

5.5.4 锁定电源电流

在规定的环境温度或壳温以及电源电压条件下的最小值。

5.5.5 锁定态(电源)电压

在规定的环境温度或壳温以及电源电压、电源电流条件下的最小值。

5.5.6 锁定态(电源)电流

在规定的环境温度或壳温以及电源电压条件下的最大值。

5.5.7 锁定态的保持电流

在规定的环境温度或壳温以及电源电压条件下的最小值。

6 MOS 集成电路静态和准静态电特性

应在最坏电气条件下规定每种电特性。这一规定的最坏电气条件相应于 4.1 所述的电源电压的推荐范围,和

a) 规定的工作温度范围,或

b) 25℃ 温度、最高和最低工作温度。

6.1 数字电压信号的基本特性

电压特性用四个范围表示,每一个范围由两个极限值规定,因此需要八个电压值。

对于电压变化的每种状态,规定两个范围:输出的保证范围和输入的允许范围。施加给输入的允许范围内的任何电压,均使输出电压维持在与功能表所示的结果状态相符合的保证范围内。因此需要下列电压特性:

V_{OHA} : 输出端保证高态电压范围的最小正值(最大的负值)。

注:在许多实际情况下,可以简化为 V_{OHA} 等于最大正电源电压的最大正值(或者,当仅有负电源电压时等于零),在没有给出 V_{OHA} 时,就属于这种情况。

V_{OHB} : 输出端保证高态电压范围的最小正值(最大的负值)。

V_{OLA} : 输出端保证低态电压范围的最大正值(最小的负值)。

V_{OLB} : 输出端保证低态电压范围的最小正值(最大的负值)。

注:在许多实际情况下,可以简化为 V_{OLB} 等于最大负电源电压的最大负值(或者,当仅有正电源电压时等于零)。在没有给出 V_{OLB} 时,就属于这种情况。

V_{IHA} : 输入端允许高态电压范围的最大正值(最小的负值)。

注:当没有给出 V_{IHA} 时,则认为 $V_{IHA} = V_{OHA}$ 。

V_{IHB} : 输入端允许高态电压范围的最小正值(最大的负值)。

V_{ILA} :输入端允许低态电压范围的最大正值(最小的负值)。

V_{ILB} :输入端允许低态电压范围的最小正值(最大的负值)。

注:当没有给出 V_{ILB} 时,则认为 $V_{ILB}=V_{OLB}$ 。

6.2 电流的基本特性

6.2.1 静态输入电流

规定静态条件下的最大值。

6.2.2 输出电流

应予说明把电压 V_{OHA} 、 V_{OHB} 、 V_{OLA} 、 V_{OLE} 之一加到电流测试端所得到的相应输出电流。

因此应予说明下列电流: V_{OHA} 下的 I_{OHB} , V_{OHB} 下的 I_{OHA} , V_{OLA} 下的 I_{OLB} , V_{OLB} 下的 I_{OLA} 。

6.2.3 输出漏电流(适用时)

规定条件下的最大值。

6.3 锁定特性

6.3.1 锁定电流

在规定的环境温度或壳温条件下,以及规定的电源电压和适用的触发功能条件下(电流)的最大值。

6.3.2 锁定电压

在规定的环境温度或壳温条件下,以及规定的电源电压和适用的触发功能条件下(电压)的最小值。

6.3.3 锁定电源电压

在规定的环境温度或壳温条件下,以及规定电源电压条件下的最小值。

6.3.4 锁定电源电流

在规定的环境温度或壳温以及电源电压条件下的最小值。

6.3.5 锁定态(电源)电压

在规定的环境温度或壳温以及电源电压、电源电流条件下的最小值。

6.3.6 锁定态(电源)电流

在规定的环境温度或壳温以及电源电压条件下的最大值。

6.3.7 锁定态的保持电流

在规定的环境温度或壳温以及电源电压条件下的最小值。

7 动态电特性

7.2 条的每个电特性都应当在 4.1 所述的电源电压推荐范围的最坏电气条件下加以规定。

应规定下述条件下的极限值,或者当制造方和使用方互不接受极限值时,应规定典型值:

a) 规定的工作温度范围(例如,按曲线),或

b) 25℃ 温度以及最高和最低工作温度。

仅当整个温度范围的特性的最坏条件值可以从规定温度下给出的值推导出时,方可使用方案 b)。

在所有情况下,应规定 25℃ 时的极限值。

7.1 引言

数字集成电路的开关时间以传输时间和转换时间来表征。传输时间总是需要的,但是否规定转换时间则取决于:

a) 与传输时间有关的转换时间的值,和

b) 有关的转换时间的任意低值,如 10 ns(见 7.2.2)。

这些开关时间是用来提供典型系统应用中的集成电路性能的资料。然而,为了精确测试和使规范标准化,测试应使用规定特性的驱动脉冲和由无源电路元件的组成的负载。

7.2 的开关特性和 7.3 的定时要求以一般形式给出。但是,时序电路可能需要对所列出的某些时间参数规定一个以上的值(如对于不同的传输途径);对于特殊电路,可能需要对同一时间参数相对于不同

的电压电平规定一个以上的值。

用于确定开关时间的电压电平在 5.1 中给出。

7.2 表征电路响应的时间

7.2.1 传输时间

下列传输时间应在规定的条件下说明(见 7.2.2 注 1)

a) t_{PHL} : 输出向低电平转换的传输时间;

最大值和最小值;

b) t_{PLH} : 输出向高电平转换的传输时间;

最大值和最小值;

如果存在几个不同的逻辑信息通道,则每一通道的传输时间都应规定。

下列资料应作为典型数据给出:

——传输时间随负载电流或者负载电阻(适用时)的变化。

——在规定的负载电流下,或者在规定的负载电容作用的负载电阻下(适用时),传输时间的变化。

7.2.2 转换时间

转换时间应在规定条件下(见注 1)按下列要求说明:

a) 如果转换时间的典型值与传输时间的典型值是可比的(见注 2),或者比传输时间的典型值大很多,则转换时间的最大值应予说明。

b) 如果转换时间的典型值小于 10 ns,其最小值应予说明(见注 3)。

如果条件 a) 和 b) 都满足,则最大值和最小值都应说明。如果条件 a) 和 b) 都不满足,则转换时间不作要求。

当有要求时,应说明两个转换方向的转换时间(即 t_{THL} 和 t_{TLH})。

注

1 规定的测试条件应包括脉冲发生器和示波器的特性(或其他适合的测试系统)以及结构和输出负载网络的元件值。

2 如果转换时间超过传输时间的 50% 可认为两者可比。

3. 当出现很短的转换时间时,在实际中可能产生过冲和耦合问题。

下列资料应作为典型数据给出:

——作为负载电容函数的转换时间。

7.3 保证正确操作顺序的输入要求

正确顺序操作可以包括:

——改变一个或多个输出的状态,或

——维持所有输出的先前状态,和(或)

——改变电路的预备状态。

7.3.1 表征限制输入端信号波形的时间(同时在其他输入端施加规定的恒定电平)

a) 高电平的持续时间(t_1)(见图 45)

加在规定输入端的具有规定高电平和低电平信号的最小值。

低电平的持续时间应足够的长,使得减小它的值不影响所取得的结果。

b) 低电平的持续时间(t_2)(见图 45)

加在规定输入端的具有规定高电平和低电平信号的最小值。

高电平的持续时间应足够长,使得减小它的值不影响所取得的结果。

c) 高电平的持续时间(t_1)(见图 45)

加在规定输入端的具有规定高电平和低电平信号的最大值。

低电平的持续时间应足够的长,使得减小它的值不影响所取得的结果。

d) 低电平的持续时间(t_2) (见图 45)

加在规定输入端的具有规定高电平和低电平信号的最大值。

高电平的持续时间应足够长,使得减小它的值不影响所取得的结果。

e) 输入信号的变化率,或输入信号的上升时间(或)下降时间。

加在规定输入端的具有规定高电平和低电平信号的最小值和最大值。

7.3.2 两个输入信号间的必需的时间关系

当输入信号 E_1 状态的变化结果由其他输入信号 E_j ($j=2\sim n$, n 是输入端的编号) 决定时,则对每个输入信号 E_j 都应说明保证正确操作顺序所必需的下列时间。

注

1 信号 E_1 指的是加给任意指定为 1 的输入端的信号。

2 通常,信号 E_1 和 E_j 的不同规定电平间的几个时间间隔必须说明。

a) 建立时间(t_{su})

最小值和最大值(适用时)。

注

1 建立时间是以信号 E_1 的某规定电平为基准所测量的时间间隔;这一时间间隔是在信号 E_1 施加前信号 E_j 所存在的时间。建立时间在信号 E_1 和 E_j 上的规定电平间进行测试,如图 43 所示。

2 建立时间可能是一个负值。

b) 保持时间(t_h)

最小值和最大值(适用时)。

注

1 保持时间是以信号 E_1 的某规定电平为基准所测量的时间间隔;这一时间间隔是在信号 E_j 施加后信号 E_1 所存在的时间。保持时间在信号 E_1 和 E_j 上的规定电平间进行测试,如图 43 所示。

2 保持时间可能是一个负值。

7.3.3 同一输入端两个相邻的信号间的必需的时间关系

a) 分辨时间(t_{res})

最小值。

注:分辨时间是在一个输入脉冲的终止和同一输入端的下一个输入脉冲起的起始之间的时间间隔,这两个输入脉冲都有一个如 7.3 所定义的持续时间(见图 44)。

b) 工作频率

最小值和最大值。

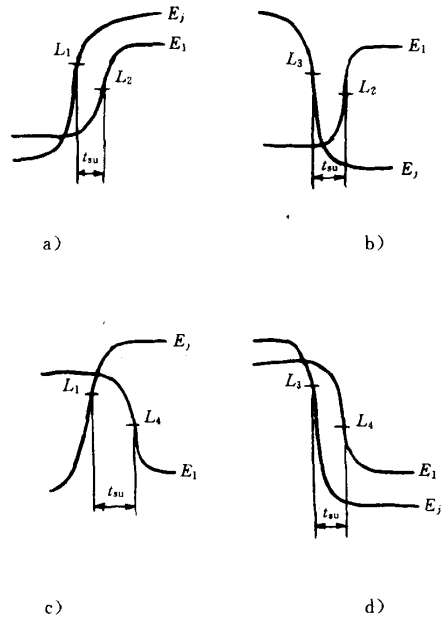
注:信号频率可以作为施加给某一输入端信号的规定工作周期,也可以作为施加给其他输入端规定的(可能是时序的)条件。

7.4 输入和输出阻抗

7.4.1 大信号工作的输入电容

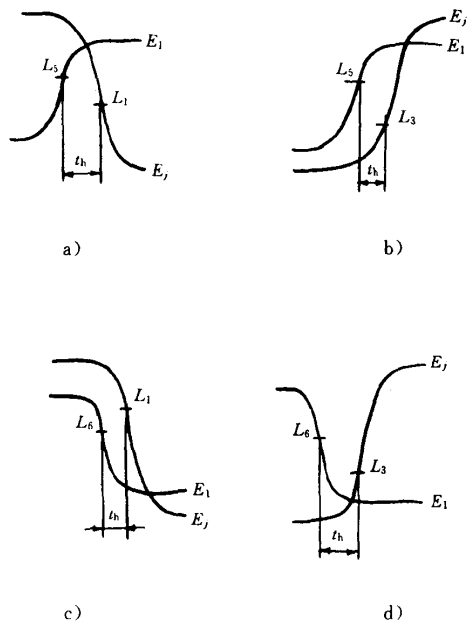
在下列规定条件下,输入信号电压(或电流)从高态向低态或从低态向高态变化时的最大值和(或)典型值:

——输出负载条件和其他输入端负载条件;



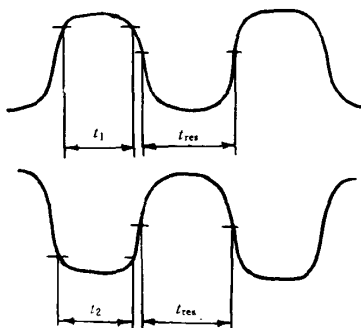
注：符号 $L_1 \sim L_4$ 用来表示电平。

图 43 建立时间 t_{su}



注：符号 $L_1 \sim L_6$ 用来表示电平。

图 44 保持时间 t_h

图 45 分辨时间 t_{res}

——输入脉冲条件(振幅、频率、上升时间和下降时间等等);

——电源电压。

7.4.2 大信号工作的输出电容(限于高输出阻抗情况,如线-或组态)。

在下列的规定条件下,输出端电压(或电流)从高态向低态或从低态向高态变化时的最大值和(或)典型值:

——输入负载条件和其他输出端负载条件;

——输入脉冲条件(振幅、频率、上升时间和下降时间等);

——电源电压。

7.4.3 大信号工作的输入电阻(适用于非饱和电路并限于高速应用)

在下列规定条件下,输入端电压(或电流)从高态向低态或从低态向高态变化时的最小值和(或)典型值:

——输出负载条件和其他输入端的负载条件;

——输入脉冲条件(振幅、频率、上升时间和下降时间等);

——电源电压。

7.4.4 大信号工作的输出电阻(适用于非饱和电路并限于高速应用)

在下列规定条件下,输出端电压(或电流)从高态向低态或从低态向高态变化时的最小值和(或)典型值:

——输入负载条件和其他输出端的负载条件;

——输入脉冲条件(振幅、频率、上升和下降时间等);

——电源电压。

8 电源总功率或电流

规定工作条件下的典型值和最大值。

9 电源总电流(动态工作)

在规定的推荐工作条件下,表示所需电源电流的典型值与 50% 占空比的脉冲重复频率的关系曲线;或者在规定的推荐工作条件下,两个规定脉冲重复频率下所需电源电流的典型值。

适用时,对于用作脉冲电源的时钟输入,也应给出以上资料。

10 指令*脉冲资料(适用时)

(* 此术语尚在考虑中)。

11 绝缘电阻

适用时,规定电压下的最小值。必须规定测试方法。

12 机械额定值、特性和其他资料

GB/T 17573—1998 标准第 VI 篇第 7 章。

13 补充资料

13.1 输出负载能力

每个输出端能驱动的最大规定负载数。负载多于一种类型时,也可以给出本资料。

13.2 噪声容限

在一个完全由类似数字集成电路的单元组成的系统中,噪声容限可直接由前面规定的八个电压值求出。四种噪声容限定为:

$$\begin{aligned} M_1 &= V_{IHA} - V_{OHA}, M_3 = V_{ILA} - V_{OLA} \\ M_2 &= V_{OHB} - V_{IHB}, M_4 = V_{OLB} - V_{ILB} \end{aligned}$$

在许多实际系统中,“外部”噪声容限 M_1 和 M_4 关系不大,因此,当噪声容限没有进一步的规定时,即指 M_2 和 M_3 中较小的一个。

13.3 数字集成电路的互连

应该说明通过互连相似单元执行逻辑运算的示例。

14 注意事项

为使器件能抵抗高静电电压或大电磁场,应采取适当的预防措施(见 GB/T 17573—1998 标准第 IX 篇)。

第 1 节的附录 特性规范

符合上述内容的通用电路规范示例如下。

下列电特性应当在规定的最坏电气条件下加以规定。这一规定的最坏电气条件相应于本节 4.1 所述的电源电压的推荐范围,以及

a) 规定的工作温度范围,或

b) 25℃ 温度、最高和最低工作温度。

输入	电流参考值	电压的极限(测量)值
高态	$\begin{cases} I_{OHB} \\ I_{OHA} \end{cases}$	$\begin{cases} V_{OHA} \text{ (见注 1)} \\ V_{OHB} \end{cases}$
低态	$\begin{cases} I_{OLB} \\ I_{OLA} \end{cases}$	$\begin{cases} V_{OLA} \\ V_{OLB} \text{ (见注 2)} \end{cases}$
输入	电压参考值	电流的极限(测量)值
高态	$\begin{cases} V_{OHA} \\ V_{OHB} \end{cases}$	$\begin{cases} I_{IHB} \text{ (见注 1)} \\ I_{IHA} \end{cases}$
低态	$\begin{cases} V_{OLA} \\ V_{OLB} \end{cases}$	$\begin{cases} I_{ILB} \\ I_{ILA} \text{ (见注 2)} \end{cases}$

注

1 如 V_{OHA} 等于最大正电源电压的最大正值,则不需要这组值。

2 如 V_{OLB} 等于最大负电源电压的最大负值,则不需要这组值。

第 2 节 存储器集成电路
A——静态和动态读/写存储器和只读存储器

1 电路的识别和说明

按照第 1 节第 1 章的规定。

2 功能说明

2.1 框图

第 1 节 2.1 的规定适用并符合下述内容：

框图应足够详细，使得存储器内各个功能单元（例如：地址译码器、片允许、“缓冲”输出电路等）以及它们的外部连接能够识别。

2.2 功能描述

由电路执行的功能应予规定，下列的资料应予说明：

- a) 存储器电路能够存储的信息总位数；
- b) 存储器电路能够存储的每个字的位数；
- c) 寻址方式；
- d) 由每个引出端连同需要的每个控制信号语句，以及必要的指令顺序（见本节 7.2.1）所执行的功能；
- e) 动态存储器刷新方式。

3 额定值(极限值)

第 1 节第 3 章适用并符合下述补充内容：

- a) 在第 1 节 3.2.1：……则这一允许超过的值以及它们的持续时间和占空系数应予说明。
- b) 应增加下面 3.5 和 3.6 给出的内容：

3.5 功耗(适用时)

连续功耗的最大值。

3.6 动态存储器输入转换时间(适用时)

最小值。

4 推荐工作条件(在规定的工作温度范围)

第 1 节第 4 章适用并符合下述内容：

如果器件需要诸如有效操作前的电压施加顺序、伪循环或信号施加顺序这类预置条件，则该预置条件应予说明。

5 双极型存储器的静态电特性

第 1 节第 5 章适用。

6 MOS 存储器的静态电特性

第 1 节第 6 章适用。

7 动态电特性

7.1 的每个电特性应当在第1节4.1所述的电源电压推荐范围相应的最坏电气条件下加以规定。
应规定7.1所要求的极限值,或(当制造方和使用方互不接受极限值时)典型值:

- a) 规定的工作温度范围(例如,按曲线),或
- b) 25℃温度以及最高和最低工作温度。

仅当全温度范围特性的最坏条件值可从规定温度下的值导出时,方可使用b)。

在所有情况下,应规定25℃时的极限值。

7.1 表征电路响应的时间

下列时间应在规定的条件下说明:

7.1.1 存取时间(见注1和注2)

- a) 读存取时间。
 - b) 存储器规定的每个允许信号和选择信号的存取时间(见注3)。
 - c) 地址存取时间(不适用于地址信息直到时钟进入存储器时才被接受的这种情况)。
- 这些存取时间的最大值均应分别说明。

注

- 1 为保证所有控制信号被尽早施加,使其不影响规定的存取时间,应给出规定的测试条件。
- 2 存取时间的标准测试条件必须包括建立时间的最大允许值。
- 3 当规定了允许信号和(或)选择信号的固定顺序(见7.2.1),而这些信号的最后一个信号又总是决定实际的存取时间时,则仅需说明这一顺序中第一个和最后一个信号的存取时间。

7.1.2 读恢复时间(仅对读/写存储器)

最大值

注:如果“读”和“写”功能由一个单独引出端控制时,则“读存取时间”和“读恢复时间”相同,仅需给出其中的一个。

7.1.3 输出禁止时间

输出禁止时间从每个有关的允许和选择信号的结束开始。

最大值。

注:输出禁止时间是规定的允许/选择信号的结束和输出数据不再有效的瞬时之间的时间间隔。

7.1.4 转换时间(见注4)

转换时间应在规定条件下(见注5)说明:

a) 如果转换时间的典型值与传输时间的典型值是可比(见注6),或者比传输时间的典型值大很多,则转换时间的最大值应予说明。

b) 如果转换时间的典型值小于10 ns,其最小值应予说明(见注7)。

c) 如果条件a)和b)都满足,则最大值和最小值都应说明。

需要时,应给出两个转换方向的转换时间(即 t_{THL} 和 t_{TLH} 应予说明)。

注

- 4 通常适用于输出信号的每个转换方向或两个转换方向的值应该给出。在某些情况下(例如,MOS存储器),若只有一个转换方向是有意义的(例如,输出电压向电源电压变化),则只需给出这一个值。
- 5 规定的测试条件应包括输入脉冲特性和示波器(或其他适当的测试系统)特性,以及输出负载网络的结构和元件值。
- 6 如果转换时间超过传输时间的50%,可认为两者可比。
- 7 这里的目的是说明当获得很短的转换时间,使用实际负载可能产生过冲和耦合问题。

7.2 保证正确操作顺序的输入端要求

7.2.1 静态存储器

以下的定时要求可应用于静态读/写存储器,且与第1节7.3给出的一般原理一致。

应该给出由一套完整信号组成的定时图。要求这些信号能使存储器的每个功能操作得以建立和测试。这套信号应与包括在本节 2.2d) 里的控制信号一致。

应说明使用的定时顺序和用户正确操作存储器所需要了解的所有时间间隔。

通常,以下时间应予说明:

7.2.1.1 周期

读周期、写周期、和适用时的读—写周期和(或)写—读周期。

最小值。

注:在 7.2.1.2~7.2.1.5 中,术语“允许”和“选择”是作为同义语使用的,因为尚没有取得一致意见的正式定义。无论在哪里出现“允许/选择”,均应使用适合于所规定的存储器的术语。假定存储器没有由允许/选择输入端,操作的锁存装置,则 7.2.1.2 和 7.2.1.3 所给出的建立时间和保持时间应加注释;如果存储器具有那样的锁存装置,则涉及写—终止和允许/选择—终止的建立时间和保持时间应简写作“写或允许/选择”。

7.2.1.2 建立时间

下列每个时间的最小值:

- a) 写前地址建立时间,或者允许/选择前地址建立时间(见注 8);
- b) 写—终止前允许/选择建立时间;
- c) 写—终止前数据输入建立时间,作为规定的允许/选择脉冲持续时间(脉宽)的最小值(见注 8);

或者

d) 允许/选择终止前的数据输入建立时间,作为规定的允许/选择脉冲持续时间(脉宽)最小值(见注 8);

e) 对于不止一个允许或选择控制信号的复杂存储器,每个附加的允许或选择信号至少要求有一个附加的建立时间。

注

8 作为参考脉冲的“写”信号或“允许/选择”信号的选定,取决于哪一个先为无效,这应与 7.2.1 给出的定时顺序一致。如果“写”信号和“允许/选择”信号变为无效的相对顺序是无关的,则应予以说明且给出 c) 项和 d) 项的值。

对于没有“允许/选择”装置的存储器,仅需给出 a) 项和 c) 项的值(即仅要求两个时间)。

7.2.1.3 保持时间

类似建立时间,下列每个时间的最小值:

- a) 写—终止后的地址保持时间或允许/选择终止后的地址保持时间(见注 9);
- b) 写—终止后的允许/选择保持时间或允许/选择—终止后的写保持时间(见注 9);
- c) 写—终止后的数据输入保持时间或允许/选择—终止后的数据输入保持时间(见注 9);
- d) 对于具有不止一个允许或选择控制信号的复杂存储器,对每一个附加的允许或选择信号至少要求有一个附加的保持时间。

注

9 作为参考脉冲的“写”信号或“允许/选择”信号的选定,取决于哪一个先变为无效,这应与 7.2.1 所给出的时间顺序一致。如果“写”和“允许/选择”变为无效的相对顺序是无关的,则应予以说明且给出 a) 项和 c) 项的值。

对于没有“允许/选择”装置的存储器,仅需给出 a) 项和 c) 项的值(即仅要求两个时间)。

7.2.1.4 写恢复时间

最小值。

注:对于某些存储器,写恢复时间和写终止后的地址保持时间是一样的;在这种情况下,仅需要说明其中的一个。

7.2.1.5 脉冲持续时间(脉宽)

下列每个时间的最小值:

- 写脉冲持续时间(脉宽);
- 适用时,允许/选择脉冲持续时间(脉宽)(见 7.2.1.2d)。

7.2.2 动态存储器

以下的定时要求适用于动态读/写存储器,且与本篇第1节7.2给出的一般原理一致。

应该给出由一套完整信号组成的时间图。要求这些信号能使存储器的每个功能操作得以建立和测试。这套信号应与包括在本节2.2 d)里的控制信号一致。

应说明使用者正确操作存储器所需要掌握的定时顺序和所有时间间隔。通常以下时间应予说明:

7.2.2.1 带允许输入的存储器,不包括带多路地址输入的存储器。

a) 建立时间

- 允许前地址建立时间。
- 允许前读建立时间。
- 适用时,允许前片选建立时间。
- 允许前写建立时间。
- 写前数据建立时间。
- 允许前数据输入建立时间。

最小值。

b) 保持时间

- 允许后地址保持时间。
- 允许后读保持时间。
- 适用时,允许后片选保持时间。
- 适用时,允许写保持时间。
- 允许后数据输入保持时间。
- 写后数据输入保持时间。

最小值。

c) 周期

- 读周期。
- 写周期。
- 适用时,读—改—写周期。
- 适用时,读—写周期。

最小值。

d) 脉冲持续时间(脉宽)

- 读脉冲持续时间(脉宽)。
- 写脉冲持续时间(脉宽)。
- 允许脉冲持续时间(脉宽)。

最小值和最大值(适用时)。

e) 预充电时间

最小值。

f) 刷新闻隔时间

最大值。

g) 转换时间

- 允许上升时间。
- 允许下降时间。
- 适用时,读—写方式选择转换时间。

最大值和最小值。

7.2.2.2 带多路地址输入的存储器

a) 建立时间

- 行地址选择前行地址建立时间。
- 列地址选择前列地址建立时间。
- 列地址选择前读建立时间。
- 适用时,列地址选择前数据输入建立时间。
- 写前数据输入建立时间。
- 列地址选择前写建立时间。
- 行地址选择前写建立时间。
- 适用时,列地址选择前片选建立时间。

最小值。

b) 保持时间

- 行地址选择后列地址保持时间。
- 列地址选择后读保持时间。
- 列地址选择后写保持时间。
- 行地址选择后写保持时间。
- 列地址选择后数据输入保持时间。
- 行地址选择后数据输入保持时间。
- 写后数据输入保持时间。
- 适用时,行地址选择后片选保持时间。

最小值。

c) 输入信号间的延迟时间

- 列地址选择信号无效和行地址选择信号有效之间的延迟时间。
- 列地址选择信号有效和行地址选择信号无效之间的延迟时间。

最小值。

d) 周期

- 读周期。
- 写周期。
- 适用时,读—写周期。
- 适用时,读—改—写周期。
- 适用时,页周期。

最小值。

e) 脉冲持续时间(脉宽)

- 行地址选择脉冲持续时间(脉宽)。
- 列地址选择脉冲持续时间(脉宽)。
- 写脉冲持续时间(脉宽)。

适用时,最小值和(或)最大值。

f) 预充电时间

- 行地址选择预充电时间。
- 列地址选择对行地址选择预充电时间。
- 列地址选择预充电时间。

最小值,和最大值(适用时)。

g) 刷新间隔时间

最大值。

h) 转换时间

- 行地址选择转换时间。
- 适用时,读/写转换时间。
- 允许(片选)转换时间。

最小值和最大值。

7.2.3 伪静态读/写存储器

7.2.3.1 本节 A 部分 7.2.1.1 到 7.2.1.5 适用。

7.2.3.2 刷新时间间隔

最大值。

7.2.4 非易失性静态读/写存储器

7.2.4.1 本节 A 部分 7.2.1.1 到 7.2.1.5 适用。

7.2.4.2 存储周期(用于存储操作所需的时间,例如把存储器 RAM 阵列的全部内容存储在存储器的非易失部分所用的时间)。

最大值。

7.2.4.3 阵列恢复周期(用于阵列恢复操作所需的时间,例如把 EEPROM 的全部内容再写入 RAM 阵列中所用的时间)。

最大值。

7.2.4.4 本节 B 部分第 4 章、第 5 章、第 7 章、第 9 章、第 10 章适用。

7.3 输入和输出电容

规定条件下输入和输出电容的典型值和最大值。

8 电源功率或电源电流(静态工作)

在最坏情况条件下,如果工作和备用状态彼此差别很大时,流入每个电源端的电流最大值。正常工作条件下的典型值也应给出。

9 电源功率或电源电流(动态工作)

在规定的推荐工作条件下,所需电源电流的典型值与脉冲重复频率的关系曲线;或者在规定的推荐工作条件下,给出两个规定脉冲重复频率下所需电源电流的典型值。

适用时,对于用作脉冲电源的时钟输入,也应给出以上资料。

适用时,对于准备工作状态也应给出以上资料。

10 机械额定值、特性和其他资料

可应用于存储器集成电路的任何规定的机械或环境额定值应予说明(并见 GB/T 17573—1998 第 VI 篇第 7 章)。

11 补充资料

11.1 输出负载能力

每个输出端能驱动的最大规定负载数。负载多于一种类型时,也可以给出本资料。

11.2 噪声容限

计算存储器噪声容限的有关资料在第 5 章和第 6 章中给出(并见第 1 节 13.2)。

11.3 相似单元的互连

通过互连相似单元,执行逻辑运算(例如,线“或”)的示例应予说明。

11.4 输出电路的类型

与输出电路的类型有关的资料应该给出。例如,三态、集电极开路、漏极开路、推挽电路。

11.5 与其他类型电路的互连

适用时,与其他电路互连的详细资料应该给出,例如,读放大器、缓冲器。

12 注意事项

见 GB/T 17573—1998 标准第Ⅱ篇。

B——现场可编程只读存储器

本节给出了可编程和重复可编程只读存储器的资料,有关重复可编程只读存储器可以是:

- 紫外线可擦和电可编程的,或者
- 电可擦和电可编程的。

1 电路的识别和说明

第Ⅲ篇第1节第1章适用并符合下面对1.2(工艺)的补充规定。

“这个规定也应包括存储单元类型的详细内容:二极管矩阵、可熔丝、浮置栅雪崩注入等”。

2 功能说明

2.1 框图

应给出数字集成电路的框图或等效的电路资料。

框图应标明每个外部连接的功能,当不至于出现混淆时,也可以标出引出端的编号。如果封装具有金属部分,则其与外部引出端的任何连接都应指出。必要时,与任何相关的外部电子元件的连接也应说明。

作为附加资料,可以给出完整的电原理图,但不必标出电路元件值。

框图应足够详细,使得存储器各分立功能单元(如:地址译码器、片选、“缓冲”输出电路等等)以及它们的外部连接能够识别。

2.2 引出端的识别

下列引出端应在框图上标明:

- a) 电源端:即连接到电源的引出端;
- b) 输入或输出端:即信号进入或流出的引出端。术语“信号”包括脉冲和更复杂的波形;
- c) 输入/输出端:即在不同时间可作输入端或输出端的引出端;
- d) 三态输出端:即可受控给出一个高阻态的输出端;
- e) 多用输出端:即在不同时间可用作不同功能(如编程和擦除)的引出端。

2.3 功能说明

由电路执行的功能应予规定,下列的资料应予说明:

- a) 存储器电路能够存储的信息总位数;
- b) 存储器电路能够存储的每个字的位数;
- c) 读方式时寻址方式;
- d) 每个引出端完成的功能所要求的每个控制信号的语句,以及必要的操作程序和指令顺序;
- e) 编程方式;
- f) 擦除整个存储器或其选定部分的内容的方法;
- g) 非编程状态的输出电平。

3 额定值(极限值)

第Ⅲ篇第1节第3章以及下述补充内容适用:

- a) 在 3.2.1……则这一允许超过的值以及它们的持续时间和占空系数应予说明;
- b) 需增加 3.5“允许的编程—擦除循环的最大次数(适用时)”。

4 读方式

4.1 推荐工作条件(在规定的工作温度范围)

见第Ⅲ篇第1节第4章。

4.2 静态电特性

应说明下列电特性:

a) 输入和输出电流

——对于双极型集成电路,第Ⅲ篇第1节第5章5.3的要求适用。

——对于 MOS 型集成电路,第Ⅲ篇第1节第6章6.2.1、6.2.2的要求适用。

b) 输入和输出电压

——对于双极型集成电路,第Ⅲ篇第1节第5章5.1的要求适用。

——对于 MOS 集成电路,第Ⅲ篇第1节第6章6.1的要求适用。

c) 输入箝位电压

第Ⅲ篇第1节5.2的要求适用。

d) 输出短路电流

最大值和(或)最小值。

e) 输入和输出漏电流(适用时)

最大值。

f) 输入和输出电容

规定条件下的典型值和最大值。

4.3 动态电特性

4.3.1 概述

适用于动态电特性的电源电压和工作温度的第Ⅲ篇第2节A部分第7章的要求适用。

4.3.2 表征电路响应的时间

下列电特性应予说明,它们适用于已编程的存储器电路。

a) 存取时间

第Ⅲ篇第2节7.1.1的要求适用。

b) 输出禁止时间

第Ⅲ篇第2节7.1.3的要求适用。

c) 输出数据有效时间

从每个有关的允许和(或)选择信号的结束开始的最小值。

d) 转换时间

第Ⅲ篇第2节7.1.4的要求适用。

4.4 定时要求

适用时,应说明下列任意全部定时要求:

a) 建立时间

最小值。

(例如,允许前地址建立时间)。

b) 保持时间

最小值。

(例如,允许后地址保持时间)。

- c) 读周期
最小值和(或)最大值。

5 编程方式

5.1 编程步骤

推荐的编程步骤应予说明。适用时,编程过程中检查方式和条件(例如:读出电压、编程脉冲的静态和动态特性,编程脉冲的数目)应予以说明。

如果编程前必须进行擦除,则应予以规定。

5.2 推荐的编程条件

规定的编程条件应根据第Ⅲ篇第1节第4章予以说明。

当用于编程的温度范围不同于工作温度范围时,应予说明。

应当用最大值和(或)最小值来说明下列电条件和(或)特性:

- a) 施加编程脉冲时,电源电流和(或)电压;
- b) 规定用来施加编程脉冲的引出端的编程电流和(或)电压;
- c) 作为编程控制端的输入电流和(或)电压。

5.3 定时要求

5.3.1 具有独立程序端的器件

应给出定时图和以下的定时要求。

- I) 程序脉冲持续时间(脉宽).....最小值和最大值;
- II) 程序脉冲上升时间.....最小值和(或)最大值;
- III) 程序脉冲下降时间.....最小值和(或)最大值;
- IV) 程序占空系数(适用时).....最大值。

V) 建立时间:

应给出下列建立时间的最小值:

- a) 程序脉冲或程序允许前地址建立时间(见注);
- b) 程序脉冲或程序允许前数据输入建立时间(见注);
- c) 程序脉冲前程序允许建立时间(适用时)。

VI) 保持时间:

应给出下列保持时间的最小值:

- a) 程序脉冲或程序允许终止后的地址保持时间(见注);
- b) 程序脉冲或程序允许终止后的数据输入保持时间(见注);
- c) 数据输入终止后的地址保持时间;
- d) 程序脉冲终止后的程序允许保持时间(适用时)。

注:作为参考脉冲的“程序脉冲”或“程序允许”的选定,取决于哪一个先变无效,这应与给出的定时图一致。

5.3.2 没有独立程序端的器件

尚在考虑中。

6 擦除方式(适用时)

擦除步骤和能实现擦除的工作温度范围应予说明。

6.1 电可擦存储器

6.1.1 推荐的擦除条件

应当用最大值和(或)最小值规定下列擦除过程的电条件:

- a) 加上擦除脉冲时的电源电流和(或)电压;

b) 规定用来施加擦除脉冲的引出端的擦除电流和(或)电压;

c) 用于擦除操作的任何其他引出端的输入电流和(或)电压。

注: 当用于擦除过程的温度范围不同于工作温度范围时, 应予说明。

6.1.2 定时要求(擦除)

6.1.2.1 具有独立擦除端的器件

应给出以下的定时要求:

I) 擦除脉冲持续时间(脉宽).....最小值和最大值;

II) 擦除脉冲上升时间.....最小值和(或)最大值;

III) 擦除脉冲下降时间.....最小值和(或)最大值;

IV) 擦除占空系数(适用时).....最大值。

V) 建立时间

——擦除脉冲开始前地址建立时间.....最小值;

——擦除脉冲开始前允许建立时间(适用时).....最小值。

VI) 保持时间

——擦除脉冲终止后地址保持时间.....最小值;

——擦除脉冲终止后允许保持时间(适用时).....最小值。

6.1.2.2 没有独立擦除端的器件

尚在考虑中。

6.2 紫外线可擦存储器

6.2.1 推荐的擦除条件

应规定以下参数及其允许偏差:

a) 紫外光波长;

b) 照射窗的紫外光强度;

c) 照射时间。

7 编程—擦除循环数

规定的工作条件下可以完成的编程—擦除循环的最少次数应予说明。

注: 这个数目很可能是程序和(或)擦除脉冲条件、工作时间和温度的函数。

8 数据保存资料

适用时, 例如对电可擦和电可编程只读存储器, 以下的数据保存资料应予说明:

a) 读操作的最大数;

b) 最小数据保存时间。

9 电源功率或电源电流(静态工作)

在最坏条件下, 如果工作和备用状态彼此差别很大时, 流入每个电源端的电流最大值。正常工作条件下的典型值也应给出。

10 电源功率或电源电流(动态工作)

在规定的推荐工作条件下, 所需电源电流的典型值与脉冲重复频率的关系曲线; 或者在规定的推荐工作条件下, 给出两个规定脉冲重复频率下所需电源电流的典型值。

适用时, 对于用作脉冲电源的时钟输入, 也应给出以上资料。

适用时, 对于预备工作状态也应给出以上资料。

11 机械额定值、特性和其他资料

可应用于可编程只读存储器的任何规定的机械或环境额定值应予说明(并见 GB/T 17573—1998 第Ⅵ篇第7章)。

12 补充资料

12.1 输出负载能力

每个输出端能驱动的最大规定负载数。负载多于一种类型时,也可以给出本资料。

12.2 噪声容限

计算可编程只读存储器噪声容限的有关资料在第Ⅲ篇第1节13.2给出。

12.3 相似单元的互连

通过互连相似存储器单元执行的逻辑运算(例如线“或”)的示例应予以说明。

12.4 输出电路的类型

与输出电路的类型有关的资料应该给出。例如:三态、集电极开路、漏极开路、推挽电路。

12.5 与其他类型电路的互连

适用时,与其他电路互连的详细资料应该给出,例如读放大器、缓冲器。

13 注意事项

适用时,下列资料应予说明:

- a) 静电敏感可编程只读存储器的注意事项,如 GB/T 17573—1998 第Ⅷ篇所述;
- b) 编程时为避免过高电压必须的预防措施;
- c) 编程后的特殊条件,例如覆盖紫外线可擦除只读存储器透射窗以防止曝露在有害光里;
- d) 为防止电磁辐射和核辐射应遵守的注意事项。

C——内部可寻址存储器(CAM)

1 电路的识别和说明

第2节A部分第1章适用。

2 功能说明

2.1 框图

第2节A部分,2.1适用。

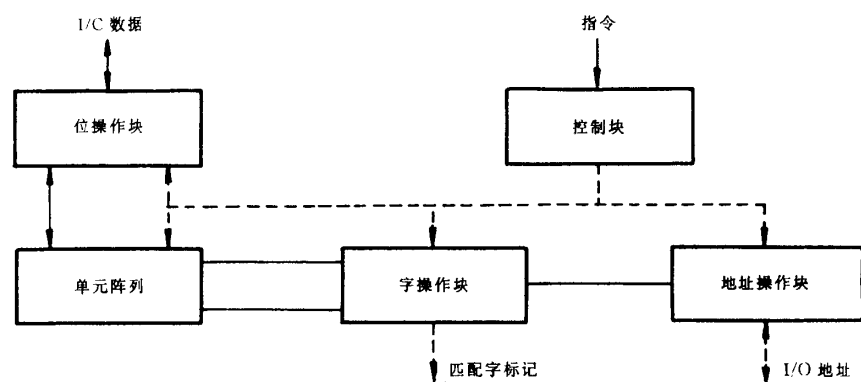


图 46 内部可寻址存储器(CAM)框图示例

2.2 功能描述

第2节A部分,2.2适用并符合以下内容。

- f) 用于存储器电路中能够查询每个字的可屏蔽位数;
- g) 询问数据位(字符)的位数;
- h) 与匹配字相对应的地址输出位(字符)数;
- i) 指令字符数;
- j) 表示匹配字标志位数。

2.3 指令系统

列出指令综合目录,它可以由内容可寻址存储器完成。

列出如下指令系统:

- a) 指令代码;
- b) 指令助记符;
- c) 按指令执行的操作;
- d) 每条指令时钟周期数。

2.4 操作模式

2.4.1 查询操作

应规定能够进行的查询操作,例如:

- a) 相同查询;
- b) 隐蔽和/或非隐蔽查询;
- c) 通过交互式位串行操作相关的查询。

2.4.2 读操作

应给出下列读出操作:

- a) 用于地址数据输出;
- b) 对应于匹配字数据输出;
- c) 对应于匹配字地址输出。

2.4.3 写操作

应列出以下写操作:

- a) 用于地址数据写入;
- b) 询问数据写入;
- c) 屏蔽数据写入;

- d) 将数据写入单个匹配字;
- e) 同时并行写入多个匹配字或非匹配字。

2.4.4 无用(存贮)单元的收集

应列出无用(存贮)单元的收集:

- a) 所有字;
- b) 与匹配或非匹配字对应的部分字。

3 额定值(极限值)

本节 A 部分第 3 章适用。

4 推荐工作条件(在规定的工作温度范围)

本节 A 部分第 4 章适用。

5 双极存储器的静态电特性

本节 A 部分第 5 章适用。

6 MOS 存储器的静态电特性

本节 A 部分第 6 章适用。

7 动态电特性

7.1 中的每个电特性应当在第 1 节 4.1 所述的电源电压推荐范围相应的最坏电气条件下加以规定。

应规定 7.1 所要求的极限值,或(当制造方和使用方互不接受极限值时)典型值:

- a) 规定的工作温度范围(例如,按曲线),或
- b) 25℃温度以及最高和最低工作温度。

仅当全温度范围特性的最坏条件值,可从规定温度下的值导出时,方可使用 b)。

在所有情况下,应规定 25℃时的极限值。

7.1 表征电路的响应时间

下列时间应在规定的条件下说明:

7.1.1 存取时间

- a) 数据读取时间;
- b) 地址读取时间;
- c) 匹配字标志存取时间。

每个存取时间应规定最大值。

7.1.2 读恢复时间(仅对读/写存储器)

本节 A 部分 7.1.2 适用。

7.1.3 输出禁止时间

本节 A 部分 7.1.3 适用。

7.1.4 转换时间

本节 A 部分 7.1.4 适用。

7.2 保持正确操作顺序的输入端要求

本节 A 部分 7.2 适用。

7.3 输入和输出电容

本节 A 部分 7.3 适用。

8 电源功率和电源电流(静态工作)

本节 A 部分第 8 章适用。

9 电源功率和电源电流(动态工作)

本节 A 部分第 9 章适用。

10 机械额定值、特性和其他资料

本节 A 部分第 10 章适用。

11 补充资料

本节 A 部分第 11 章适用。

12 注意事项

见 GB/T 17573—1998 第Ⅹ篇。

第 3 节 微处理器集成电路

本节适用于单片集成电路微处理器,也适用于具有处理器功能的集成电路组件,但未必适用于这种组件中的各个集成电路。

1 电路的识别和说明

第Ⅲ篇第 1 节第 1 章适用并符合下述内容。

1.1 电兼容性

微处理器集成电路是否与其他集成电路或集成电路系列的电兼容情况以及是否要求特殊接口器件应予说明。应该给出输出电路类型的详细资料,如三态、集电极开路等等。

2 功能说明

2.1 框图

第Ⅲ篇第 1 节 2.1 适用并符合下述内容:

框图应足够详细,使其通过执行指令来控制的微处理器的独立功能部件易于识别。它包括用户可编程的功能块(例如,可编程逻辑阵列、只读存储器等等)。功能部件间的主要数据通道和它们的外部连接的识别也应在框图上标出。

2.1.1 引出端的识别

下列引出端应在框图上标明:

——电源端:即连接到电源的引出端。

——输入或输出端:即信号输入或输出的引出端。术语“信号”包括脉冲和更复杂的波形。

——输入/输出端:即在不同时间可作输入或输出的引出端。

——三态输出端:即可受控给出一个高阻态的输出端。

2.2 功能说明

应该给出下列资料:

a) 被处理的字的数据长;

b) 每种存储器的寻址范围,对于这些存储器(如:外部存储器或内部存储器,读写存储器或只读存

存储器)使用各自的寻址过程;

不同于 a) 时的每种存储器里寻址字的字长。

c) 地址的位数;

d) 内部寄存器的数目、类型、位数及字数。这些内部寄存器包括可寻址的和不可寻址的,例如,通用寄存器、累加器、变址寄存器、程序计数器、栈指示器、栈寄存器、控制寄存器、算术/逻辑单元、条件码寄存器;

注:条件码给出了有关算术或逻辑单元的结果状态,如零、奇偶性、符号、进位、溢出等等。

e) 规定的存储器寻址方式,例如:立即寻址,直接寻址,相对寻址,变址寻址,间接寻址;

f) 规定的中断能力类型,例如:程序允许/禁止中断,向量中断等等;

g) 传递输入数据和输出数据方法,以及地址的输出方法,例如,串行,并行或串并行;

h) 微处理器是否可编微程序;

i) 产生时钟信号的方法;

j) 静态或动态工作方式。

2.3 指令系统

应给出微处理器完整的指令表,应包括:指令码,指令助记符,由于指令的执行所产生的操作以及受影响的条件码或寄存器内容,时钟周期数(最好给出所需的机器周期数)。适用时,给出用以形成指令程序的字长和每个指令的寻址方式。

上述资料对每条指令和每个相似指令组也可给出,当由于寻址方式的变更产生差别时,这一差别应予以指出。

2.4 指令的结构

适当时,为指出指令字位的结构,应以图的形式对所使用的指令格式作如下说明:

- 操作码字段;
- 寻址方式字段;
- 寄存器定义字段;
- 操作字段。

2.5 输入和输出信号

每个输入和输出信号的功能应该说明:

通常,信号可以分成:

- 数据信号;
- 地址信号;
- 控制信号。

至少,必须有确定执行数据传输的时间、传输的方向(即进出微处理器)的控制信号,而且应该包括一个迫使微处理器进入规定状态的复位输入信号。

可能提供的附加控制信号的例子:

a) 总线控制信号:

- 确定地址位何时稳定和给出有效信息;
- 确定地址是指存储器的还是外围器件的;
- 当有多路分时信号时,控制总线的功能;
- 由编址存储器控制的准备信号。

b) 执行的控制信号:

- 请求保持信号;
- 响应保持信号;
- 优先处理信号。

- c) 其他控制信号:
 - 中断请求(可屏蔽的);
 - 中断请求(不可屏蔽的);
 - 中断响应;
 - 输出等待;
 - 输出禁止;
 - 同步;
 - 其他。

3 额定值(极限值)

给出的额定值必须覆盖微处理器在规定工作温度范围内的操作。当这些额定值与温度有关时,则这种相关特性应予说明。

3.1 电极限值

3.1.1 电源电压

- a) 最大值和极性。
- b) 适用时,共同电源端与外壳或共用电源端与参考端之间的电压最大值。
- c) 适用时,施加和(或)去除电源电压的顺序,应对这一顺序的持续时间的限制作出规定。

3.1.2 输入电压

相对于公共参考端的最大值(适用时的极性)。

3.1.3 输入电流(适用时)

最大值。

3.1.4 输出电压

相对于公共参考端的最大值(适用时的极性)。

3.1.5 输出电流

最大值。

3.2 温度

- a) 最低和最高环境工作温度或参考点工作温度。
- b) 最低和最高贮存温度。
- c) 引线温度的最大值和持续时间。

3.3 功耗

最大值。

4 推荐工作条件(在规定的工作温度范围内)

4.1 电源电压

每个电源电压的极性、标称值和允许偏差。

4.2 时钟输入

- a) 低电平电压和高电平电压的最小值和最大值。
- b) 上升和下降时间的最小值和最大值。
- c) 时钟周期的最小值,以及适用时时钟周期的最大值。
- d) 脉冲持续时间的最小值,以及适用时脉冲持续时间的最大值。对于多项时钟输入,应对每项输入给出这一资料。
- e) 对于多项时钟输入,时钟脉冲的相邻相位间的延迟时间的最小值以及适用时延迟时间的最大值。

4.3 输入电压(不包括时钟输入)

低电平电压和高电平电压的最小值和最大值。

4.4 输出电流

低电平输出电压和高电平输出电压条件下的最小值,以及适用时的最大值。

4.5 外部元件(适用时)

推荐或规定用于微处理器的任何外部元件的值和允许偏差。

4.6 建立时间和保持时间

适当时,对于与时钟脉冲的适当转换有关的每个输入(或每组输入),应在规定的时钟脉冲上升和下降时间,以及其他端规定输入电压下,给出其建立时间和保持时间的最小值和(或)最大值。

为使用户能够实现微处理器每个独立功能的严格定时要求,应给出这一建立时间和保持时间的最小值和(或)最大值。

4.7 控制顺序的定时图

输入信号的最小持续时间和相对于时钟信号的时间顺序;这些顺序对于使微处理器进入预定状态如重新启动(或复位)、中断、保持等是必须的。这一切应与程序指令的执行顺序有关。

这些顺序应以时钟周期来表示以及优先用机器周期表示。

5 电特性

5.1 静态特性

下面的 5.1.1, 5.1.2, 5.1.3 和 5.1.4 的每个电特性应在规定的最坏电气条件下加以规定。这一规定最坏条件相应于 4.1 所述的电源电压的推荐范围和

- a) 规定的工作温度范围,或
- b) 25℃ 温度,最高和最低工作温度。

5.1.1 电源电流

a) 静态工作

在规定的电源电压和时钟频率下,给出在正常工作状态和适用时的准备工作状态下的电源电流的典型值和最大值。

对于每个作为脉冲电源的时钟输入,也应给出本资料。

b) 动态工作

上述情况的典型值也应给出,给出的可以是不同时钟频率下的典型值,也可以是典型值与时钟频率的关系曲线。

5.1.2 输入电流(包括时钟输入)

适用时,在规定的电源电压、输入电压和其他端的输入电压下,应给出低电平输入电压和高电平输入电压条件下输入电流的最大值。

对于那些也可作为输出用的输入也应给出本资料。

5.1.3 输出电压

在规定的电源电压、负载电流和适用时的输入电压下,给出低电平输出电压的最大值和高电平输出电压的最小值。

对于那些也可用输入的输入也应给出本资料。

5.1.4 输出截止态电流

对于可能截止而既不给出高电平输出条件也不给出低电平输出条件的三态输出,应在规定的电源电压、有关端的连续电压以及其他的输入电压下,给出截止态电流的最大值。

5.1.5 电容

在规定的电源电压,有关端的连续电压,频率和其他端的输入电压下,给出时钟输入端、输入和输出

端的电容最大值。

5.2 动态特性

5.2.1 中的每种电特性都应在规定的最坏电气条件下加以规定。这一规定的最坏电气条件相应于

4.1 所述的电源电压的推荐范围和

- a) 规定的全工作温度范围,或
- b) 25℃温度、最高和最低工作温度

仅当全温度范围的电特性的最坏条件值可从规定温度下的值导出,方可使用 b)。

在所有情况下,应规定 25℃温度时的极限。

5.2.1 电路响应时间

5.2.1.1 传输时间

传输时间应在规定的条件下给出(见注 1):

- a) t_{PHL} : 输出向低电平转换的时间,最大值;
- b) t_{PLH} : 输出向高电平转换的时间,最大值。

如果存在几个不同的逻辑信息通道,则对于每个通道的传输时间都应规定。

适当时,三态输出进入或离开高阻态时的附加时间应该给出。

5.2.1.2 转换时间

转换时间应在规定条件(见注 1)下说明:

a) 如果转换时间的典型值对传输时间的典型值是可比的(见注 2)或者比传输时间的典型值大很多,则转换时间的最大值应予说明。

b) 如果转换时间的典型值小于 10 ns,其最小值应予说明(见注 3)。

c) 如果条件 a)和 b)都满足,则最大值和最小值都应说明。

需要时,应说明两个转换方向的转换时间(即 t_{THL} 和 t_{TLH})。

注

1 规定的测试条件应包括脉冲发生器和示波器(或其他适合的测试系统)的特性以及输出负载网络的结构和元件值。

2 如果转换时间超过传输时间的 5%,认为两者可比。

3 当出现很短的转换时间时,在实际中可能产生过冲和耦合问题。

6 机械额定值、特性和其他资料

任何适用于具体微处理器的规定的机械或环境额定值均应予说明。

见 GB/T 17573—1998 中第 VI 篇第 7 章。

7 补充资料

7.1 输出负载能力

每个输出端可以驱动的最大规定负载数。负载多于一种类型时,也可以给出本资料。

7.2 噪声容限

计算微处理器噪声容限的有关资料在本节 4.3 和 5.1.3 中给出(并见第 1 节 13.2)。

7.3 应用数据

可以给出第 5 章里的电特性随电源电压、负载阻抗等变化的补充资料。

可以进一步给出评述每个指令作用的资料来补充 2.3,特别应该给出包含在程序转移和程序中断的顺序和操作的详细资料。

可以进一步给出每个输入或每组输入的操作顺序和功能的资料来补充 2.3 和 4.7;可以包括状态图和定时图。

对于象二进制加法或寄存器-寄存器传输这样的特殊指令,可以给出指令执行时间的有关资料;如果给出平均时间,则使用的指令详细内容和存储器存取时间应包括在内。

7.4 其他资料

集成电路内部是否具有抗高静电电压或电场的措施,应予说明。

8 注意事项

见 GB/T 17573—1998 中第Ⅸ篇。

第Ⅳ篇 测试方法

第1节 总 则

1 基本要求

除另有规定外,以 GB/T 17573—1998 中第Ⅵ篇第1节第1章(引言)和第2章(一般注意事项)为根据的 GB/T 16464—1996 中第Ⅶ篇第1章适用于本章。

2 特殊要求

2.1 静态和动态测试的一般要求

2.1.1 除另有规定外,每种测试的电源电压或电流应在规定值 $\pm 1\%$ 以内。

2.1.2 除另有规定外,被测器件的环境温度应在规定值 $\pm 2^\circ\text{C}$ 以内。

2.1.3 没有规定电条件的引出端不应连接。

2.1.4 应规定电压测试的参考点。

注:信号电压测试的参考点和电源电压的参考点不一定相同。

2.1.5 在器件有内部存储或滞后现象的情况下,每次测试之前均可要求进行预置循环。

2.1.6 除另有规定外,器件应在“推荐工作条件”范围内的一组条件下工作。

2.1.7 在进行下述测试之前,除了当功能表要由测试本身验证时,对每种输入组合,输出确定应符合相应功能表给出的内容。

2.2 静态特性的规定条件

2.2.1 输出电压或电流的测试

应给出下述条件(见注):

- a) 环境温度或参考点温度;
- b) 电源电压或电源电流;
- c) 每个输入端的条件;
- d) 被测输出端的条件;
- e) 其他所有输出端的条件。

注:低电平输出时的测试条件可以与高电平输出时的测试条件不同。

2.2.2 输入电压或电流的测试

应给出下述条件(见注):

- a) 环境温度或参考点温度;
- b) 电源电压或电源电流;
- c) 每个输出端的条件;
- d) 被测输入端的条件;
- e) 其他所有输入端的条件。

注：低电平输入的测试条件可以与高电平输入的测试条件不同。

某些有内部存储或滞后现象的器件，对一给定的输入电平，可能得到多于一个的输入阻抗值；这种情况下，有必要进行多次测试。

2.3 动态特性的规定条件

具体条件在测试方法中给出。

3 测试方法应用表格

（见下表）。

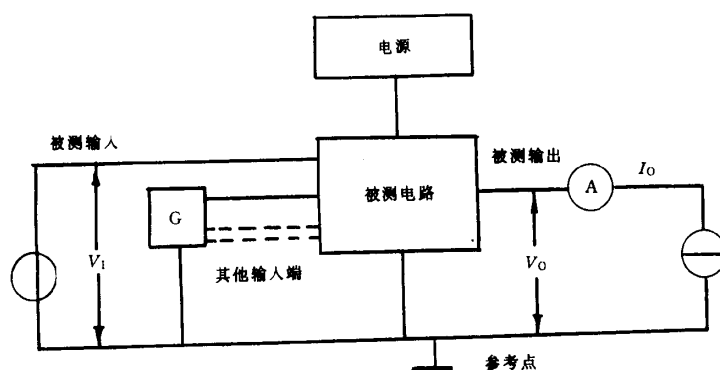
第2节 静态特性的测试方法

1 输出高电平电压和输出低电平电压(V_{OH} 或 V_{OL})[37]

a) 目的

测试规定条件下的输出高电平电压和输出低电平电压。

b) 电路图



G: 电压源和脉冲发生器

图 47

c) 电路说明和要求

测试设备在需要时应能提供规定的输出条件。

适用时，脉冲发生器应提供足够数量的独立脉冲序列，以使被测电路能按功能表建立输出条件。

测试方法应用表

方法 编号	被测参数	类、分类										
		组合 电路	时序电路			计数器	移位寄存器		存储器			微处 理器
			单稳态	双稳态	非稳态		静态	动态	ROM	RAM 静态	RAM 动态	
37	输出高电平电压和输出低电平电压	×	×	×		×	×	×	×	×	×	
38	输入高电平电流和输入低电平电流	×	×	×		×	×	×	×	×	×	
40	输出短路电流	×	×	×		×	×	×	×	×	×	
41	静态条件下的电源电流	×	×	×		×	×	×	×	×	×	
48	(输入)阈值电压和滞后电压		×	×								

表(完)

方法 编号	被测参数	类、分类										
		组合 电路	时序电路			计数器	移位寄存器		存储器			微处 理器
			单稳态	双稳态	非稳态		静态	动态	ROM	RAM 静态	RAM 动态	
1	动态条件下的总电源电流	×	×	×		×	×	×				
2	通过时钟线提供的功率	×		×								
6	大信号工作时的输入和输出电容	×	×	×		×	×	×	×	×	×	
11	等效输入和输出电容	×	×	×		×	×	×	×	×	×	
	等效输入和输出电阻	×	×	×		×	×	×	×	×	×	
3	传输时间(双极电路)	×	×	×		×	×	×	×	×	×	
7	传输时间(MOS 电路)	×	×	×		×	×	×	×	×	×	
4	延迟和转换时间(双极电路)	×	×	×		×	×	×	×	×	×	
5	延迟和转换时间(MOS 电路)	×	×	×		×	×	×	×	×	×	
8	建立时间		×	×		×	×	×	×	×	×	
9	保持时间		×	×		×	×	×	×	×	×	
36	分辨时间			×		×	×	×	×	×	×	
49	输出允许或禁止时间(三态输出)	×	×	×		×	×	×	×	×	×	
50~54	存储器的特定时间								×	×	×	
10	开关频率			×		×	×	×	×	×	×	

电流发生器应有能力供给或吸收电流。

d) 测试顺序

将被测集成电路按规定接到图 47 所示的测试电路中;电源电压和输入电压调整到规定值并给输出端施加适当的条件。

温度调整到规定值,并在测试前后立即检查。

施加输入条件和适用时施加建立规定静态输出电平所需的输入脉冲序列。测试输出电压 V_o 。

注:假如采用输入电压的最坏情况组合,则本测试能同时验证被测电路满足规定的输入电压极限值,和关联输出电压的极限值。

例如:

功能	施加条件		测试极限值
	测试输入	其他输入	被测输出
与非	V_{ILA}	V_{IHA}	V_{OHB}
	V_{IHB}	V_{IHB}	V_{OLA}
与	V_{IHB}	V_{IHB}	V_{OHB}
	V_{ILA}	V_{IHA}	V_{OLA}

e) 规定条件

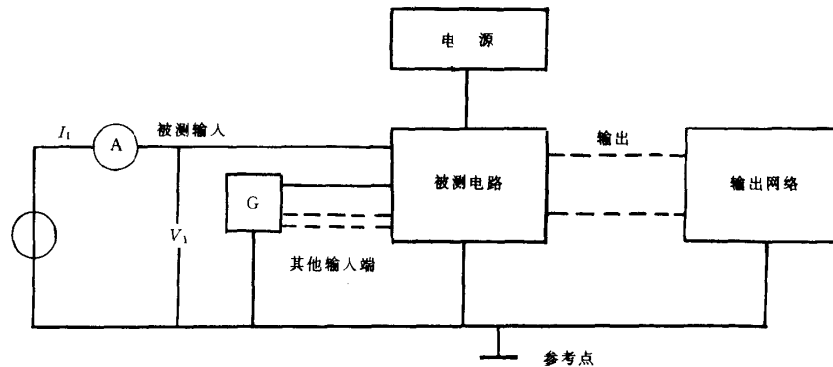
- 环境温度或参考点温度。
- 安装程序(适用时)和测试顺序。
- 电源电压。
- 输入电压。
- 输出电流。
- 电流方向。

2 输入高电平电流和输入低电平电流(I_{IH} 和 I_{IL})[38]

a) 目的

测试规定条件下的输入高电平电流和输入低电平电流。

b) 电路图



G: 电压源和脉冲发生器

图 48

c) 电路说明和要求

适用时,脉冲发生器应能提供足够数量的独立脉冲序列,以建立规定的内部逻辑状态。

测试设备应在需要时提供规定的输出条件。

d) 测试顺序

将被测集成电路按规定接到图 48 所示的测试电路中;电源电压和输入电压调整到规定值并给输出端施加适当的条件。温度调整到规定值,并在测试前后立即检查。

适用时,施加建立规定逻辑状态所需的输入脉冲。

测量电流 I_I 。

注: 通常每个输入端分别测试。

e) 规定条件

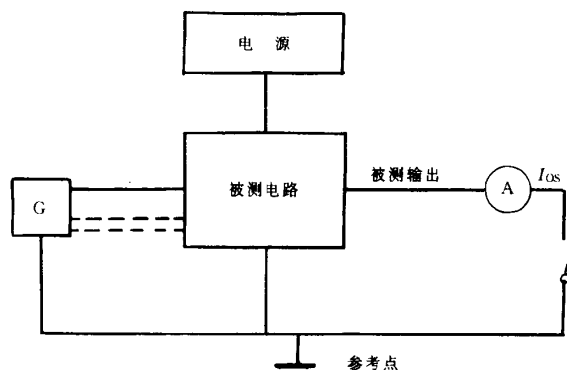
- 环境温度或参考点温度。
- 安装程序(适用时)和测试顺序。
- 电源电压。
- 输入电压。
- 输出条件(适用时)。

3 输出短路电流(I_{OS})[40]

a) 目的

测试规定条件下的输出短路电流。

b) 电路图



G: 电压源和脉冲发生器

图 49

c) 电路说明和要求

适当时,脉冲发生器应提供足够数量的独立脉冲序列,以使被测电路能按功能表建立输出条件。

测试设备应能在输出端和规定的参考点之间实现短路(如果需要,应在规定的持续时间内实现短路),并能在不明显影响短路本身的情况下测试短路电流。

d) 注意事项

不得超过最大额定功耗。

e) 测试顺序

将被测集成电路按规定接到图 49 所示的测试电路中;电源电压和输入电压调整到规定值。

温度调整到规定值,并在测试前后立即检查。

适用时,施加建立规定静态输出电平所需的输入脉冲序列。

被测输出端与规定的参考点连接,测试短路电流 I_{OS} 。

在短路之前,强制输出电压(例如,依靠有关的输入电平组合的方式)在尽可能与参考电平远离的电平上。

f) 规定条件

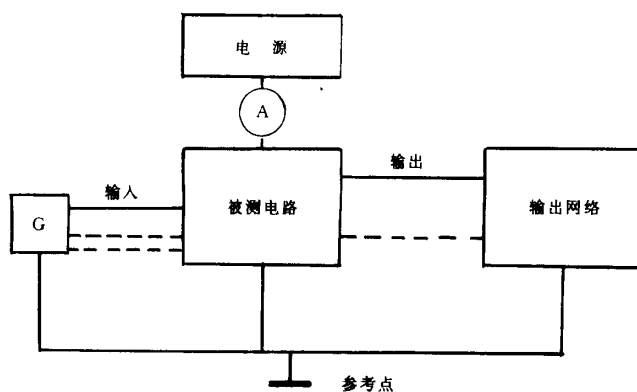
- 环境温度或参考点温度。
- 适用时,安装程序。
- 电源电压。
- 输入电压。
- 适用时,短路持续时间。
- 其他端的条件。
- 参考点(对短路而言)。

4 静态条件下的电源电流[41]

a) 目的

测试规定静态条件下的电源电流。

b) 电路图



G: 电压源和脉冲发生器

图 50

c) 电路说明和要求

适用时, 脉冲发生器应提供足够数量的独立脉冲序列, 以使被测电路能按功能表建立输出条件。

d) 测试顺序

将被测集成电路按规定接到图 50 所示的测试电路中; 电源电压和输入电压调整到规定值。

温度调整到规定值, 并在测试前后立即检查。

适用时, 提供建立规定静态输出电平所需的输入脉冲序列。

测试相应的电源电流。

e) 规定条件

- 环境温度或参考点温度。
- 安装程序(适用时)和测试顺序。
- 电源电压。
- 输入电压。
- 输出网络。

5 (输入) 阈值电压和滞后电压[48]

a) 目的

测试(输入)阈值电压, 并用一种测试结果与被测电路的动态特性无关的测试方法来确定组合逻辑电路的滞后电压。

b) 电路说明和要求

测试电路如图 51 所示。

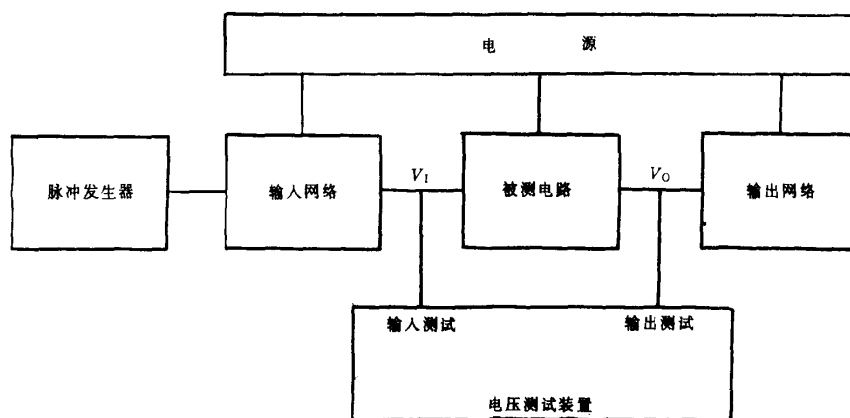


图 51

设备应能测试作为输入电压 V_I 函数的输出电压 V_O 。测试设备应提供一个三角形输入信号,该信号波形是一个斜坡或一系列阶梯;该设备还应提供输入和输出网络以及电源电压,且应使被测器件保持在规定的温度(T_{amb} 或 T_{case})。

c) 测试顺序

被测电路置于规定的温度(T_{amb} 或 T_{case})。按规定连接输入和输出端,并施加电源电压。调整并接入脉冲发生器。将被测电路的输出信号 V_O 加到测试设备上,例如,示波器的 Y 输入。再将被测电路的三角形输入信号 V_I 也加到测试设备上,在上述情况下,加到示波器的 X 输入。当输出电压正好转至相反电平时,测试输入电压,读作 V_{IT+} (或 V_{ITP});当输出电压 V_O 正好转至原来电平时,测试输入电压,读作 V_{IT-} (或 V_{ITN});这两个值就是(输入)阈值电压。

该结果即图 52 所示的转换特性,滞后电压 V_{bys} 为:

$$V_{bys} = V_{IT+} - V_{IT-} \text{ 或 } V_{bys} = V_{ITP} - V_{ITN}$$

注:图 53 和图 54 表示两个不同输入波形转换特性,两者均适用于本方法。

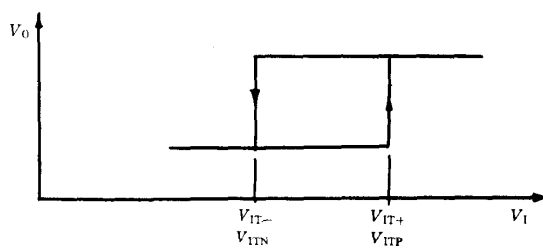


图 52 转换图

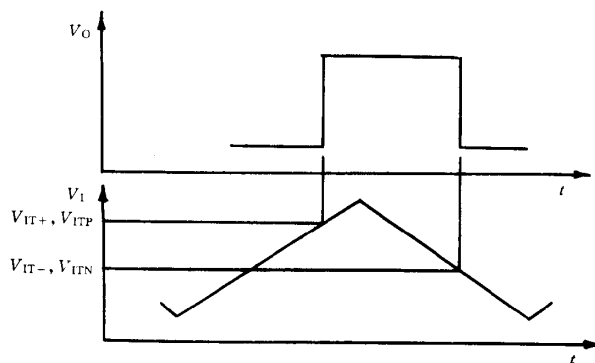
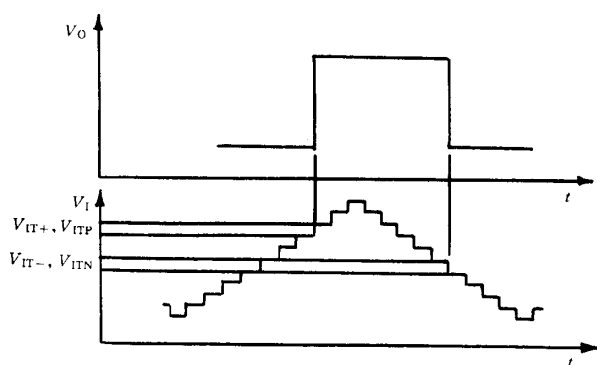


图 53 实验室测试的转换特性



注：测试精度是阶梯幅度的函数，这一点应予考虑。

图 54 自动测试的转换特性

d) 规定条件

——温度(T_{amb} 或 T_{cse})。

——电源电压。

——输入信号的特性：

——斜坡电压：线性度，上升时间(t_r)，下降时间(t_f)，信号幅度。

——阶梯电压：每个阶梯的电压差(ΔV)，每个阶梯的持续时间(Δt)，信号幅度。

输入信号的 t_r 、 t_f 和 Δt 应比被测电路的传输时间 t_p 大很多。

——输入和输出网络(包括杂散电容)。

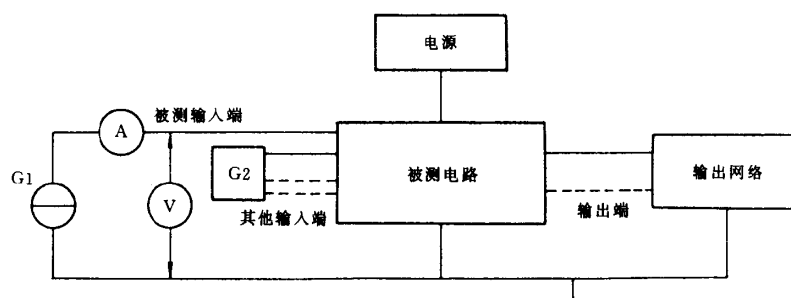
——其他引出端的条件。

6 输入箝位电压(V_{IK})[94]

a) 目的

测试带有附加箝位二极管的输入端的输入箝位电压。

b) 电路图



G1—电流源和/或脉冲发生器;G2—图形发生器

图 55

c) 电路的描述和要求

发生器 G1 提供规定的反向输入电流,用电压表 V_{IK} 测量电压。需要时对发生器 G2 将在其他输入端,提供规定的条件。电流发生器 G1 应有能力供给或吸收电流。

d) 测试顺序

将被测集成电路按规定接到图 55 测试电路中,电源电压和输入电压调整到规定值。温度要调到规定值,并且要在测试前进行检查。输入电流调整到规定值,然后测量输入的箝位电压。

e) 预防措施

输入电压和输入电流不得超过极限值。

f) 规定条件

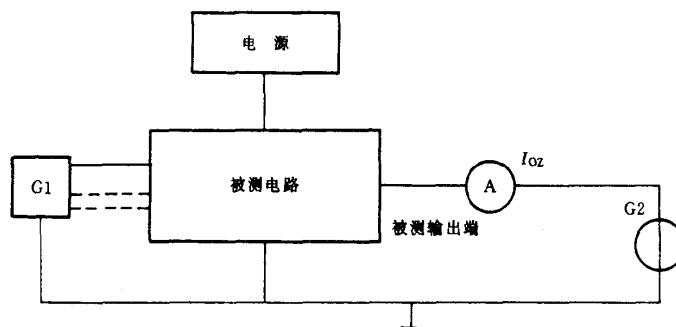
- 环境温度或者壳温。
- 确定程序(需要时)和测试顺序。
- 其他引出端的条件(适用时)。
- 输入电流值。
- 电流值。
- 电源电压值。

7 输出高阻态电流(I_{oz})[95]

a) 目的

测试数字集成电路的高阻态输出电流。

b) 电路图



G1—图形发生器;G2—电压源

图 56

c) 电路说明和要求

发生器 G2 提供高阻态输出电压的电压源, A 是测量输出高阻态电流的电流表(适用时)。发生器 G1 在测量中用于提供电流输出规定的条件。

d) 测试顺序

按规定被测集成电路接到图 56 测试电路中,输入电压调整到规定值。温度调到规定值,并且在测试前和测试后立即检查。所需的静态输出条件,按规定的输入条件及适用时所需的脉冲时序调整。G1 调到规定输出的高阻态,G2 调到规定输出电压,然后在电流表 A 上测试高阻态输出电流。

e) 规定条件

- 环境温度或参考点温度。
- 确定程序(适用时)和测试顺序。
- 电源电压值。
- 输出电压值。
- 输入电压。
- 适用时其他输出的条件。

8 锁定特性[96]

8.1 正向锁定的输入/输出的电压或电流

a) 目的

测试集成电路进入锁定状态时所必需的正向输入/输出的电压或电流的幅值。

b) 电路图

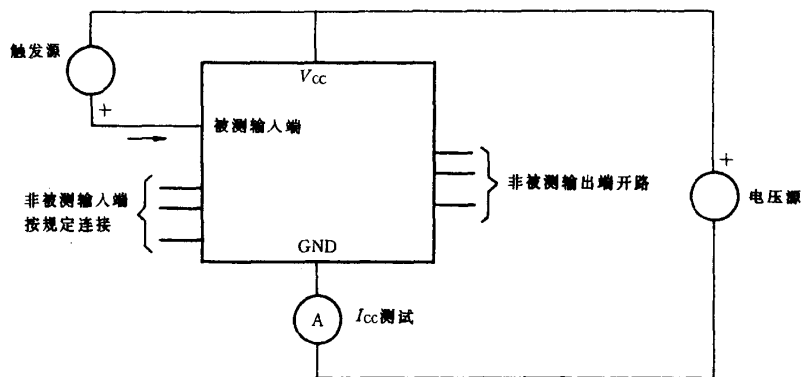


图 57

c) 电路说明和要求

将规定的电源电压加到被测器件上,在指定端施加触发脉冲,增大触发脉冲的电压或电流的幅度,直到电源电流增加到器件显示出锁定效应为止,或者直到触发脉冲达到规定的最大幅度为止。读出该触发脉冲的幅度及正向锁定时的电压或电流值。随即关掉电源电压。所有的读数均借助于示波器或其他适当的测量装置来取得。电源的过电流保护限制应设置得很低,以使器件不至被毁坏。对那些非被测的输入与输出端,则使用图形发生器来设置其逻辑状态。这种测量是破坏性的。

d) 测试顺序

- 按规定调节环境温度。
- 加电源。
- 按规定设置输入/输出条件、逻辑状态等。
- 在规定的引出端施加低于规定的脉宽、上升/下降时间等脉冲条件的触发电流或电压。
- 经过规定的延迟时间之后,测量电源电流。
- 记录触发脉冲的幅度与重复率。
- 只要电源电流出现增长,或者电源电流大于规定的最大电源电流,即锁定效应已经发生。
- 将电源和输入电压置零。

e) 时间操作

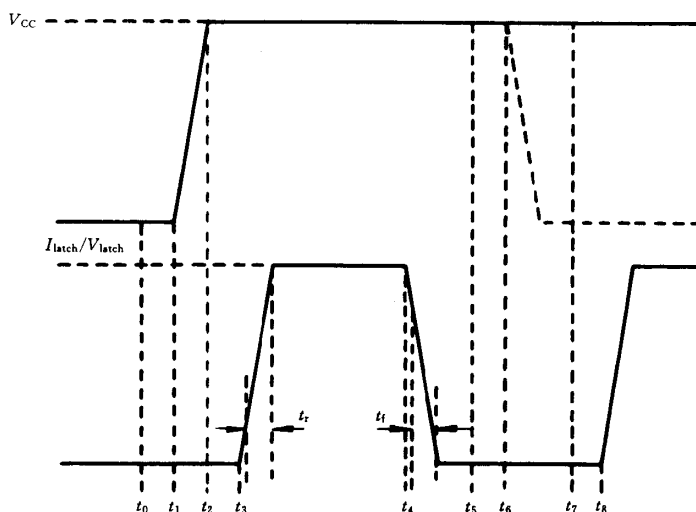


图 58

t_1 ——按规定连接器件。

t_2 ——按规定设置电源过电流保护的限流与电源电压。适用时按规定设置输入与输出条件,以使器件处于规定的逻辑状态。

t_3 ——施以单脉冲触发量。

t_4 ——经规定的期间之后,除去该触发量,使被测端返回到与施加触发脉冲之前相同的状态。

t_5 ——经过规定的延迟时间之后,测量电源电流。

t_6 ——如果电源电流大于规定的最大电源电流,则器件可能已经锁定。随即断开电源电压。

t_7 ——如果电源电流小于规定的最大电源电流,则器件未锁定。

t_8 ——经过冷却时间($t_6 \sim t_8$)后,可再加第二次触发脉冲,重复从 t_3 到 t_6 所规定的操作,然后连续进行上述的测量。

f) 规定条件

——环境温度或者壳温。

——电源电压。

——被测端。

——非被测端的条件:除另有规定外,非被测输入端接地或接 $V_{CC}(V_{DD})$,非被测输出端则保持开路。

——逻辑状态。

——最大电源电流。

——触发脉冲条件:

——最大幅度;

——脉宽(时间);

——上升与下降时间。

——测量电源电流之前的延迟时间。

——冷却时间。

——电源过流保护限制。

8.2 负向锁定的输入/输出的电压或电流

a) 目的

测试集成电路进入锁定状态时所必需的负向输入/输出的电压或电流的幅值。

b) 电路图

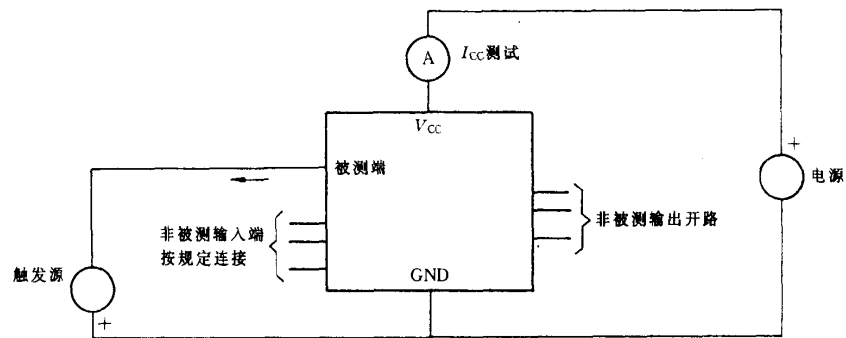


图 59

c) 电路说明和要求

将规定的电源电压加到被测器件上,在指定端施加负的触发脉冲,增大该负性触发脉冲的电压或电流的幅度,直到电源电流增加到器件显示出锁定效应为止或者直到触发脉冲达到规定的最大幅度为止。读出该触发脉冲的幅度及负向锁定时电压或电流值。随即关掉电源电压。所有的读数均借助于示波器或其他适当的测量装置来取得。电源的过电流保护限制应设置得很低,以使器件不至被毁坏。对那些非被测的输入和输出端则使用图形发生器来设置其逻辑状态。这种测量是破坏性的。

d) 测试顺序

- 按规定调节环境温度。
- 加电源。
- 按规定设置输入/输出条件、逻辑状态等。
- 在规定的引出端施加低于规定的脉宽、上升/下降时间等脉冲条件的触发电流或电压。
- 经过规定的延迟时间之后,测量电源电流。
- 增大触发脉冲的幅度,直到发生锁定效应或脉冲幅度等于规定值为止。
- 记录迭加在电源端上的电压或者电源电流。
- 只要电源电流出现增长,或者电源电流大于规定的最大电源电流即锁定效应已经发生。
- 将电源和输入电压置零。

e) 时间操作



- 逻辑状态。
- 最大电源电流。
- 触发脉冲条件：
 - 最大幅度；
 - 脉宽(时间)；
 - 上升与下降时间。
- 测量电源电流之前的延迟时间。
- 冷却时间。
- 电源过流保护限制。

8.3 锁定电源电压或电流

a) 目的

测试集成电路进入锁定状态时所需要施加在电源端的电压或电流的幅值。

b) 电路图

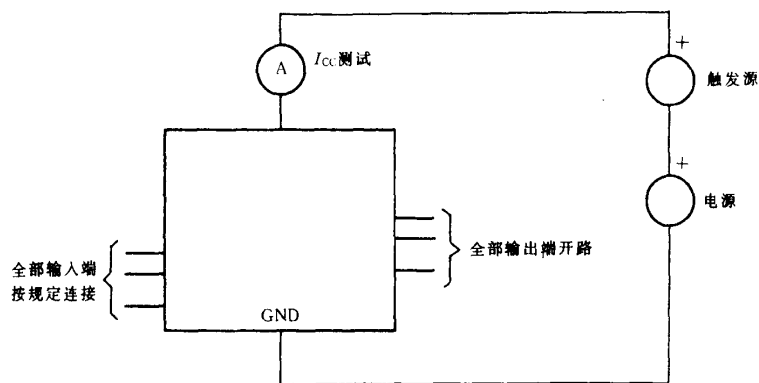


图 61

c) 电路说明和要求

将规定的电源电压加到被测器件上,在电源电压或电流上叠加一个电压或电流的触发脉冲,增大脉冲的幅度,直到电源电流增加到器件显示出锁定效应为止,或者直到触发脉冲达到规定的最大幅度为止。读出加到器件上的总电源电压的幅值,即为锁定电源电压。其锁定电源电流不能直接测量,但可通过观测锁定之前的电流连同随触发电流增大而增长的电源电流来进行估算。随即关掉电源电压。所有的读数均借助于示波器或其他适当的测量装置来取得。电源的过电流保护限制应设得很低,以使器件不至被毁坏。对那些非被测的输入与输出端,则使用图形发生器来设置其逻辑状态。这种测量是破坏性的。

d) 测试顺序

- 按规定调节环境温度。
- 加电源。
- 按规定设置输入/输出条件、逻辑状态等。
- 对规定的引出端在规定的脉宽、上升/下降时间等脉冲条件下施加触发电压或电流脉冲。
- 经过规定的延迟时间之后,测量电源电流。
- 增大触发脉冲的幅度,直到发生锁定效应或脉冲幅度等于规定值为止。
- 记录迭加在电源端上的电压或者电源电流。
- 只要电源电流出现增长,或者电源电流大于规定的最大电源电流,即锁定效应已经发生。
- 将电源和输入电压置零。

e) 时间操作

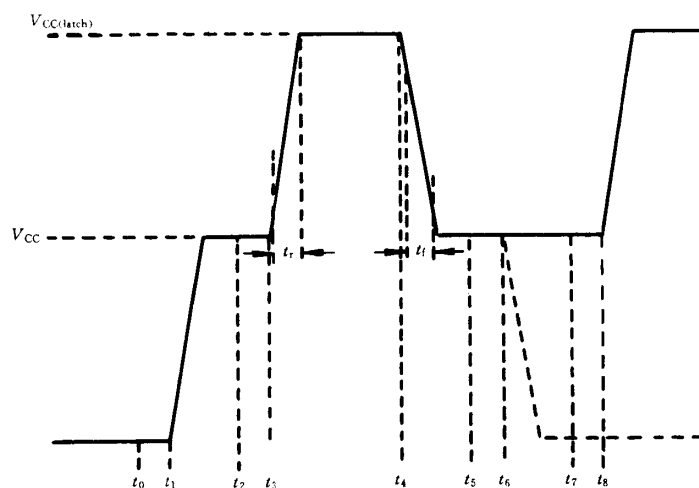


图 62

- t_1 ——按规定连接器件。
- t_2 ——按规定设置电源过电流保护的限与电源电压。按规定设置输入与输出条件,以使器件处于规定的逻辑状态,只要该状态是合理的。
- t_3 ——在电源电压或电源电流上叠加一个触发电压或电流,经 t_3 之后观测并记录电源电压或电流的总幅度,该幅值就是发生锁定时的锁定电源电压或电流。
- t_4 ——经规定的期间之后,除去触发电压,使被测端返回到与施加触发脉冲之前相同的状态。
- t_5 ——经过规定的延迟时间之后,测量电源电流。
- t_6 ——如果电源电流大于规定的最大电源电流,则器件可能已经锁定。随即断开电源电压。
- t_7 ——如果电源电流小于规定的最大电源电流,则器件未锁定。
- t_8 ——经过冷却时间($t_6 \sim t_8$)后,可再加第二次触发脉冲,重复从 t_3 到 t_6 所规定的操作,然后连续进行上述的测量。

f) 规定条件

- 环境温度或者壳温。
- 电源电压。
- 被测端。
- 非被测端的条件:除另有规定外,非被测输入端接地或接 $V_{CC}(V_{DD})$,输出端则保持开路。
- 逻辑状态。
- 最大电源电流。
- 触发脉冲条件:
 - 最大幅度;
 - 脉宽;
 - 上升与下降时间。
- 测量电源电流之前的延迟时间。
- 冷却时间。
- 电源过流保护限制。

8.4 锁定态(电源)电压或电流

a) 目的

测试锁定状态下的集成电路电源端之间的电压或电源电流的幅值。

b) 电路图

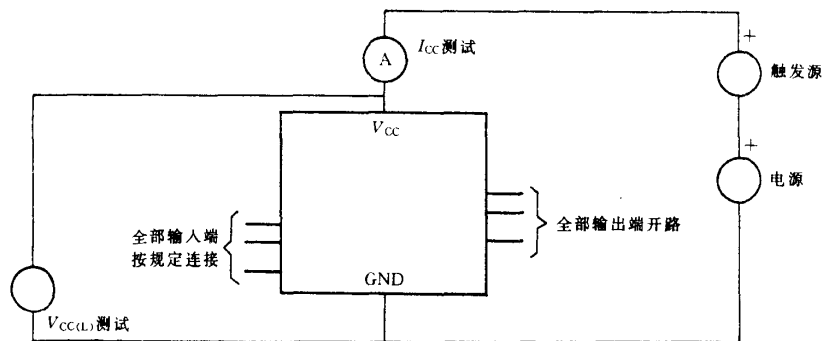


图 63

c) 电路说明和要求

将规定的电源电压加到被测器件上,在指定端加上触发脉冲,增大触发脉冲的幅度,到电源电流增加到器件显示出锁定效应为止,或者直到触发脉冲达到规定的最大幅度为止。读出叠加于器件电源端上的电压即锁定态电压,或锁定态上的电流值。随即关掉电源电压。所有的读数均借助于示波器或其他适当的测量装置来取得。电源的过电流保护限制应设置得很低,以使器件不至被毁坏。对那些非被测的输入和输出端,则使用图形发生器来设置其逻辑状态。这种测量是破坏性的。

d) 测试程序

- 按规定调节环境温度。
- 加电源。
- 按规定设置输入/输出条件、逻辑状态等。
- 在规定的引出端加上低于规定的脉宽、上升/下降时间等脉冲条件的触发电流或电压。
- 经过规定的延迟时间之后,测量电源电流。
- 增大触发脉冲的幅度,直到发生锁定效应或脉冲幅度等于规定值为止。
- 记录叠加在电源端上的电压或者电源电流。
- 只要电源电流出现增长,或者电源电流大于规定的最大电源电流,即锁定效应已经发生。
- 将电源和输入电压置零。

e) 时间操作

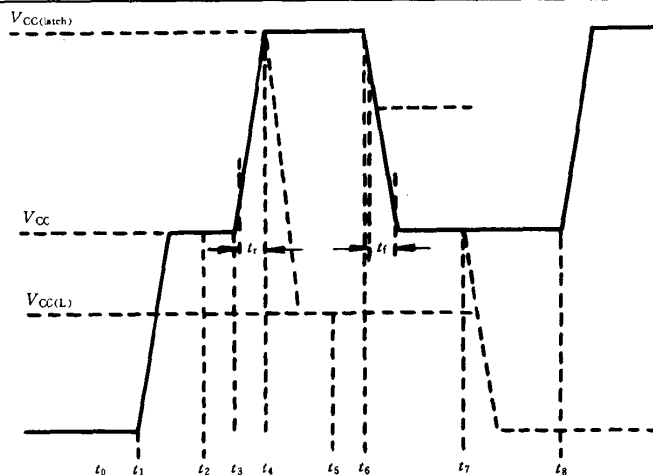


图 64

t_1 ——按规定连接器件。

t_2 ——按规定设置电源过电流保护的限流与电源电压。按规定设置输入与输出条件,以使器件处于规定的逻辑状态,只要该状态是合理的。

t_3 ——在电源电压上叠加触发电压或电流。

t_4 ——测量并记录瞬时叠加于电源电压端的总电压幅值。如果发生锁定,这就是锁定电压。

t_5 ——经过规定的延迟时间之后,再次测量并记录叠加于电源电压端上的电压,也应测量并记录其电源电流。如果观测到的电压跌落到所施加的电压 $V_{CC(L)}$ 以下,如图 64 所示,或者观察到电源电流增长,则器件已经锁定。这些记录就作为锁定态电压,而电流则作为锁定态电流。

t_6 ——经过规定的延迟时间之后,除去触发脉冲,并使电源端返回到施加触发之前的状态。

t_7 ——如果器件处于锁定,则断开电源。

t_8 ——经过冷却时间后,可再加第二次触发脉冲,重复从 t_3 到 t_7 所规定的操作,然后继续进行如上的测量。

注:如果锁定态电压值高于电源电压,则电源电压端将随着触发脉冲的后沿返回到电源电压的电平。

f) 规定条件

——环境温度或者壳温。

——电源电压。

——被测端。

——非被测端的条件:除另有规定外,非被测输入端接地或接 $V_{CC}(V_{DD})$ 。所有输出端则保持开路。

——逻辑状态。

——最大电源电流。

——触发脉冲条件:

——最大幅度;

——脉宽;

——上升与下降时间。

——测量电源电流之前的延迟时间。

——冷却时间。

——电源过流保护限制。

8.5 预防措施

——由于某些集成电路锁定时可能需要很大的电流,在进行测量期间必须注意不损坏器件,例如使

用短脉冲。

——如果一个集成电路具有一个以上的电源端,则必须分别测量每个电源的电压或电流。

8.6 试验后测量

在锁定测试之后,为了表明器件的情况,可以进行一种试验后电特性的测量。

第3节 动态测试的测试方法

1 动态条件下的总电源电流[1]

a) 目的

测试集成电路从电源吸取的总电流与工作频率的关系。本方法只限于重复性输入信号。

b) 电路图

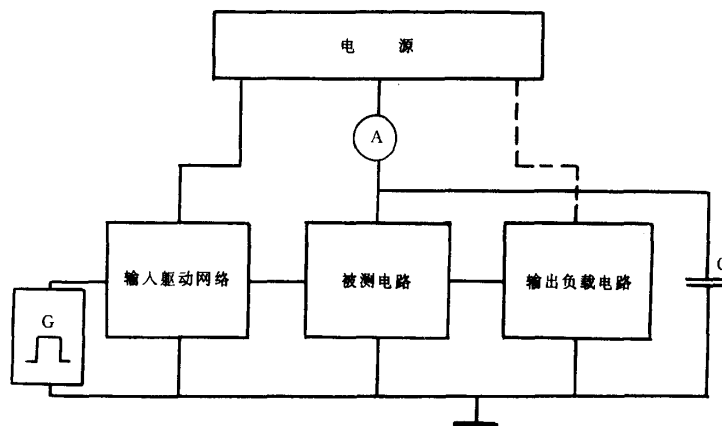


图 65

c) 电路说明和要求

输入驱动网络、其他输入条件及输出负载网络应符合规定。

输入脉冲波形应符合规定。

电容 C 在测试频率范围内应是低容抗。

电流表应适于测试总平均电流。

d) 注意事项

无特殊要求。

e) 测试顺序

温度调整到规定值。

将被测集成电路接入测试电路中;电源电压、输入信号和其他输入条件应调整到规定值;在测试频率范围内测试电源电流。

f) 规定条件

——环境温度或参考点温度。

——电源电压。

——输入驱动网络和输出负载网络的特性。

——输入脉冲条件:

——幅度;

——宽度;

——上升时间;

- 下降时间；
- 占空比(若无其他规定,为 50%)；
- 重复频率范围。
- 适用时,不同脉冲之间相互关系。
- 其他输入条件。

2 通过时钟线所提供的功率[2]

- a) 目的
测试通过时钟线驱动电路所要求的功率。
- b) 电路图

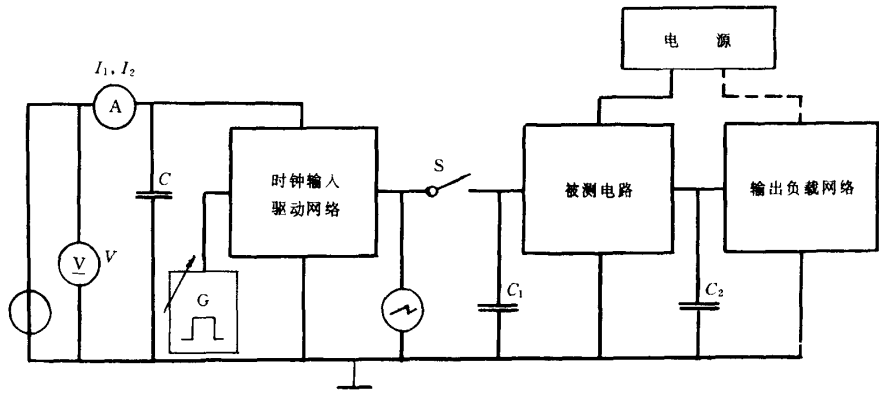


图 66

c) 电路说明和要求

时钟输入驱动网络。其他输入条件及输出负载网络应符合规定。时钟输入驱动网络及其电源应能提供驱动时钟输入所需的全部功率,该网络相当于一个具有低损耗的功率转换器。时钟输入驱动网络的输出阻抗应足够低以使被测电路的负载不影响其输出波形。图 67 和图 68 给出了适用的时钟输入驱动网络的示例。

在测试频率下电容 C 应是低容抗。

电容 C_1 和 C_2 包括了测试夹具的杂散电容,而且应该符合规定。

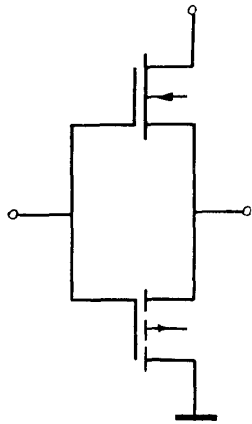


图 67

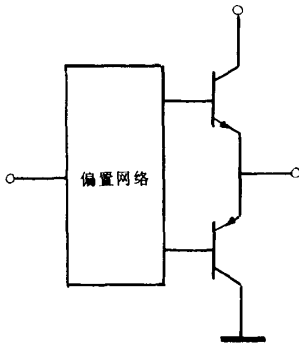


图 68

时钟输入驱动网络的输出时钟脉冲波形应符合规定,并用示波器来检查。

用开关 S 隔开被测电路以便能对时钟输入驱动网络消耗的功耗进行两次测量。

电流表应适合于测试由时钟输入驱动网络抽出的平均总电流。

电压表应适合于电源输出端电压的测试。

如果要求两个或两个以上的时钟脉冲,这些脉冲间的相互关系应符合规定,而且应对每个时钟线分别进行测试。

d) 注意事项

无特殊要求。

e) 测试顺序

温度调整到规定值。

将被测集成电路接到测试电路中;电源电压和其他输入条件应调整到规定值。

调整时钟输入驱动网络和脉冲发生器,使它提供符合要求的脉冲,并用示波器检查该脉冲波形。

断开开关 S,测试流入时钟输入驱动网络的直流电流 I_1 。然后闭合开关 S,测试电流 I_2 。驱动被测电路所需的功率由下式计算:

$$P = V(I_2 - I_1)$$

f) 规定条件

——环境温度或参考点温度。

——电源电压(包括 V)。

——时钟输入驱动网络和输出负载网络的特性。

——时钟脉冲条件:

——幅度;

——宽度;

——上升时间;

——下降时间;

——占空比(若无其他规定,为 50%);

——重复频率范围。

——适用时,不同脉冲间的相互关系。

—— C_1 和 C_2 的值。

——其他输入条件。

3 输入阻抗和输出阻抗[6],[11]

3.1 电流测试:大信号工作时的输入和输出电容[6]

a) 目的

在大信号规定条件下测试集成电路的输入电容或输出电容。

注:本方法不用于测试具有很低输入或输出并联电阻的集成电路的输入或输出电容。

b) 电路图

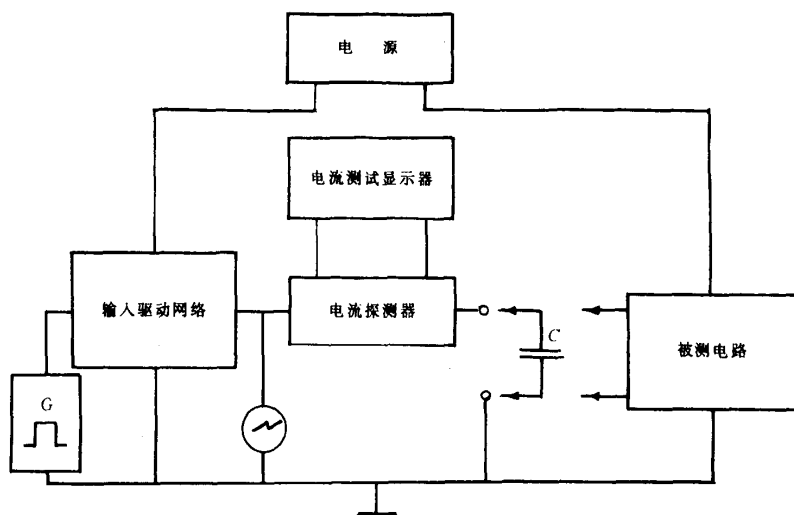


图 69

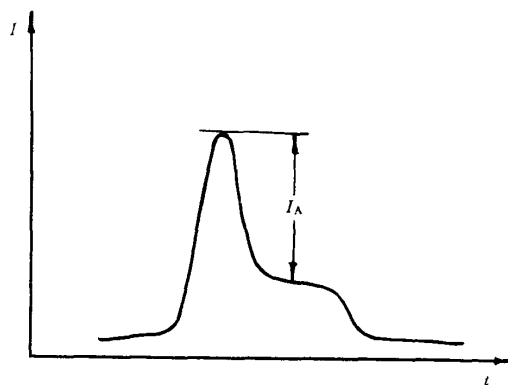


图 70 被测电流波形

c) 电路说明和要求

本方法是选择一个电容器,与被测集成电路输入(输出)电容一样,使该电容器对一个电压波形产生能给出一个相同的电流峰值响应。

脉冲发生器提供所需的开关波形。图 70 所示的峰值电流 I_A 由电流测试装置测得。

施加给被测集成电路的驱动脉冲的转换时间应小于:

$$\frac{C_{\min} V}{I_{\max}}$$

式中: $C_{\min}$ ——待测电容的最小预计值。

V ——驱动脉冲的规定电压幅度。

$I_{\max}$ ——流入试验端的直流电流的最大规定值。

输入驱动网络的输出阻抗应足够低,以致在被测电容范围内试验端施加的电容减小一半时,其转换时间变化不超过 5%。

d) 注意事项

无特殊要求。

e) 测试顺序

温度调整到规定值。

将被测集成电路接到测试电路中;电源电压调整到规定值。

控制电压和其他端的条件调整到规定值。

将驱动脉冲施加到试验端,并调整到规定幅度。

测试如图 70 所示的峰值电流 I_A 。

从测试电路中取出被测集成电路。

用替换法确定给出相同峰值电流 I_A 的电容值。

f) 规定条件

——环境温度或参考点温度。

——电源电压。

——测试端的驱动脉冲条件:

——幅度;

——宽度;

——上升时间;

——下降时间;

——重复频率。

——其他端的条件。

3.2 电压测试:等效输入和输出电容、等效输入和输出电阻[11]

可以使用两种测试方法:

——一种是基于大信号的电压测试方法;

——另一种是基于小信号的电桥法。

注

1 大信号方法应优先采用。

2 在规定这些特性值时,应说明所用的方法。

3.2.1 大信号方法

a) 目的

本方法是用来在规定条件下,测试数字集成电路从一个规定的电平转换到另一个电平时的等效输入电容和等效输出电容和(或)等效输入电阻和等效输出电阻。

注:如果集成电路的输入或输出(各自)电阻比测试所用传输线的特性阻抗要小,或两者相差不大,则等效的输入或输出电容的测试是可能的。但一个很低的输入或输出电阻旁路掉输入或输出电容时,电容的测试便无法实现。

不过,这种情况下的电容在实际应用中是不重要的,它的测试用电阻的测试来代替。

b) 电路图

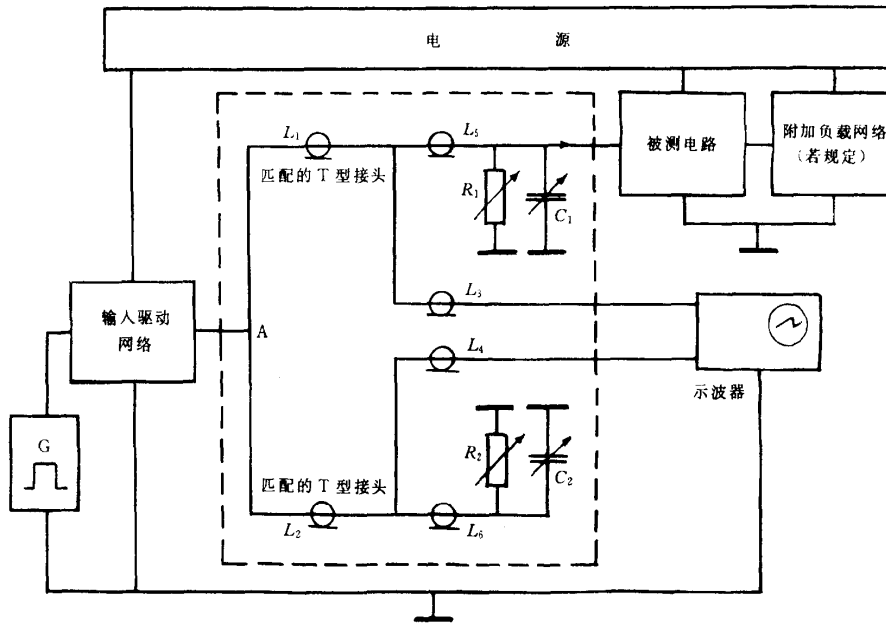


图 71 集成电路等效输入电容或输出电容和(或)等效输入电阻或输出电阻的测试

c) 电路说明和要求

脉冲发生器提供所需的开关波形,转换时间应与被测集成电路的转换时间近似相等。示波器能够测试脉冲参数和由被测电路所引起的变化。

L_1 的长度必须等于 L_2 的长度, L_3 的长度必须等于 L_4 的长度 L_5 的长度必须等于 L_6 的长度。 L_1 的长度应近似等于 L_3 的长度, L_6 的长度应近似等于 L_4 的长度。

传输线 L_1 和 L_2 的长度应比其他的传输线长得多,这是为了避免在 A 点(图 71)产生的反射波与被测电路引起的反射波相重叠。

传输线 L_1 至 L_6 的特性阻抗应相等,且与 T 型接头和示波器的输入匹配。

R_1 、 C_1 和 R_2 、 C_2 的连线应尽可能短,并具有同样长度,或至少近似相等,以减小不希望有的电感。

d) 注意事项

为了避免(集成电路的)脉冲响应与传送脉冲重叠,传输线 L_3+L_5 (或 L_4+L_6)上的两倍传输时间应明显地大于 A 点脉冲的上升时间或下降时间。

e) 测试顺序

温度调整到规定值。

按图 71 将脉冲发生器、输入驱动网络和示波器接到 $L_1 \sim L_6$ 的传输线网络。通过输入驱动网络的调整输入脉冲规定的电压幅度和上升、下降时间。

选择脉冲频率,使两个相继的上升或下降沿之间的时间间隔分别与传输 L_1+L_5 或 L_2+L_6 上的传输时间不成整数比。

借助于电阻 $R_1 \sim R_2$ 和电容 $C_1 \sim C_2$,使测试电路平衡,以便示波器的两条扫描线重合。 R_1 和 R_2 调到一个比较高的值(例如,对于 TTL 电路,近似为 $5\text{ k}\Omega$), C_1 和 C_2 调到可能的最低值(例如,近似为 $1\text{ pF} \sim 2\text{ pF}$)。

然后将集成电路接到传输线 L_5 上,这将产生一个反射,致使示波器两条扫描线中的一条移动,而脱离与另一条的重合。改变 R_2 和 C_2 ,使两条扫描线重新重合。

变化量 ΔC_2 和 ΔR_2 分别为集成电路的等效电容或等效电阻。

(虚线表示借助 R_2 和 C_2 重新达到平衡的扫描线)。

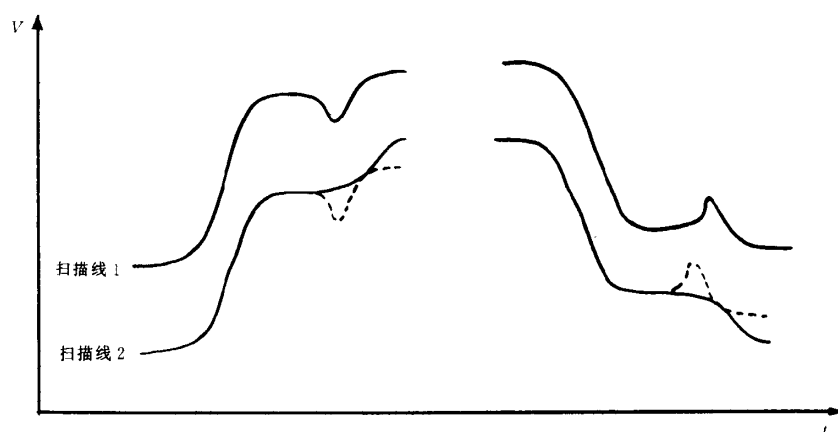


图 72 被测电路的平衡失调所引起的不重合扫描线

f) 规定条件

- 环境温度或参考点温度。
- 电源电压和其他端的条件。
- 输入脉冲条件：
 - 规定参考电平的上下幅度；
 - 宽度；
 - 上升时间；
 - 下降时间；
 - 重复频率。
- 规定电平之间的转换方向。
- 电阻 R_1 和 R_2 值。

3.2.2 电桥法(小信号)

a) 目的

在规定的的小信号条件下,测试集成电路的输入电容或输出电容。

b) 电路图

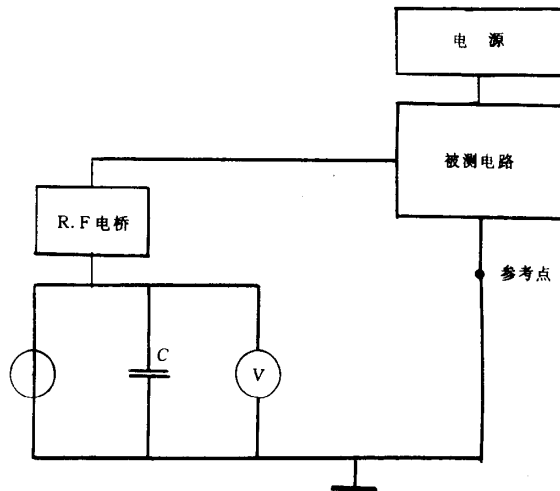


图 73

c) 电路说明和要求

射频电桥应具有低直流内阻,并能流过所要求的被测输入或输出直流电流而不影响测试的精度。也可用其他偏置电路的方法,测试应该采用小信号条件。

除另有规定外,当测试频率为 1 MHz 时,电容 C 呈现短路状态。

d) 注意事项

无特殊要求。

e) 测试顺序

温度调整到规定值,并在测试前后立即检查。

将被测集成电路从测试电路中取出,使射频电桥平衡;输入电压调整到规定值。

将被测集成电路接入测试电路中,校验输入电压并调节射频电桥使其再次平衡。

射频电桥的两次读数之差就是被测输入或输出电容。

f) 规定条件

- 环境温度或参考点温度。
- 输入电压。
- 电源电压。
- 测试频率(如果不为 1 MHz 时)。
- 其他端的条件。

4 表征电路的时间

4.1 传输时间[3],[7]

4.1.1 双极型电路[3]

a) 引言

下述方法适用于双极型组合数字电路和双极型时序数字电路,但在互连方面要求匹配的传输线和特殊终端的高速电路除外。

b) 目的

本方法给出了反相和非反相电路,在其输入和输出端接有规定集成电路或其等效物作负载时的传输时间值。

c) 电路图

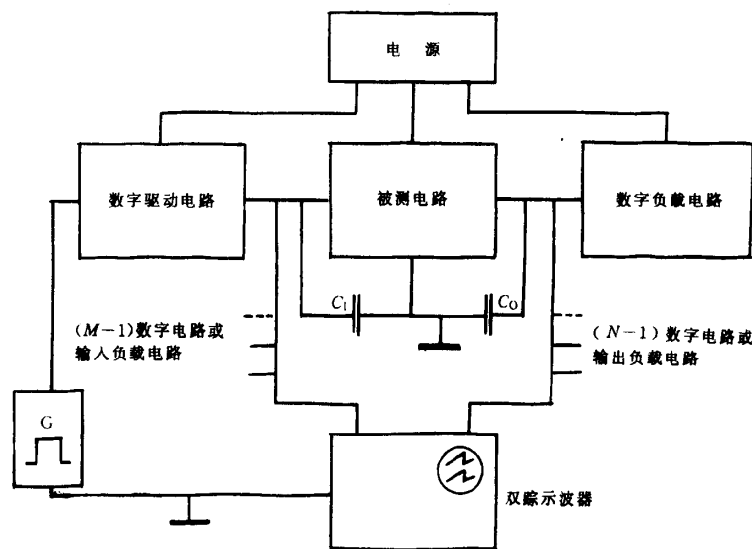


图 74

d) 电路说明和要求

用作输入驱动电路、输入负载电路和输出负载电路的集成电路应具有与被测集成电路连接的那些集成电路的特性。

由驱动电路并行驱动的负载电路数(M)和被测集成电路并行驱动的负载电路数(N)应予规定,优先选择能使两个被测时间出现最坏情况的负载电路数。

输入和输出负载电路所采用的电路应符合所有其他特性的规定要求,这些要求包括采用 4.2 所述方法进行的延迟和转换时间的测试。可以用等效网络代替输入和输出负载电路,这种等效性可以证明。

示波器的输入阻抗应高于被测集成电路的输入和输出阻抗。必要时,可以用等效的时间测试仪代替示波器。

输入电容 C_1 和输出电容 C_0 应包含与装配架、测试夹具和测试仪器关联的杂散电容,但不应包含被测集成电路和输入与输出负载电路的寄生电容。当连接线的长度引起电感效应时,必须给出其详细的布线结构。

示波器不应该存在明显的不同延迟。

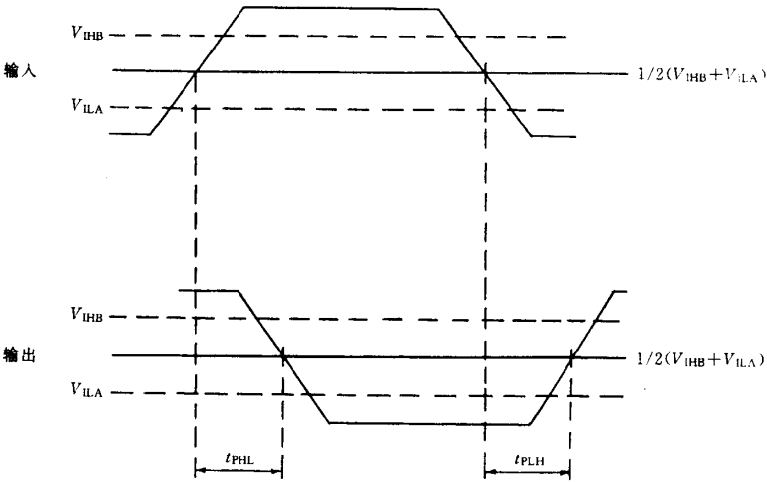
e) 测试顺序

直接在示波器显示的波形上测试传输时间,如图 75 所示。

f) 规定条件

- 环境温度或参考点温度。
- 电源电压。
- 输入驱动电路、输入负载电路和输出负载电路的类型,或等效负载网络的电路结构和元器件值。
- 输入脉冲条件:
 - 高范围的高电压电平值,低范围的低电压电平值;
 - 宽度;
 - 上升时间;
 - 下降时间;

- 重复频率。
- 其他端的条件。
- 电容 C_i 和 C_o 。
- M 和 N 的值。



本图适用于反相单元

图 75

4.1.2 MOS 电路[7]

a) 目的

本方法是用来在规定输入驱动条件和输出负载条件下,测试 MOS 集成电路输出状态由规定的高电平变化到规定的低电平或由规定的低电平变化到规定的高电平时的传输时间。

本方法适用于这样的电路,该电路的输出组态的变化是由规定信号加到规定的输入端引起的。

注:本方法也适用于测试 MOS 集成电路的转换时间。

b) 电路图

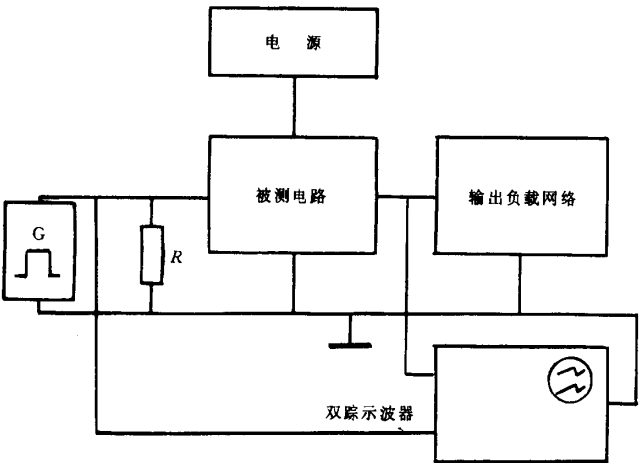


图 76

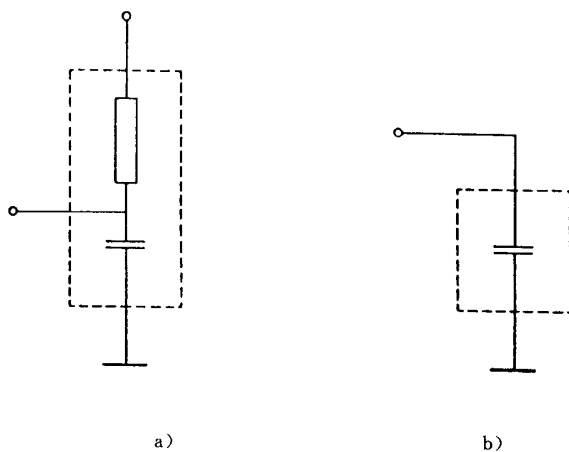


图 77 输出负载网络示例

c) 电路说明和要求

脉冲发生器应能产生满足规定的上升时间和下降时间的脉冲。输入脉冲波形和端接电阻 R 应符合规定。

输出负载网络应由无源线性元件所组成(见图 77a 和 77b 示例)。

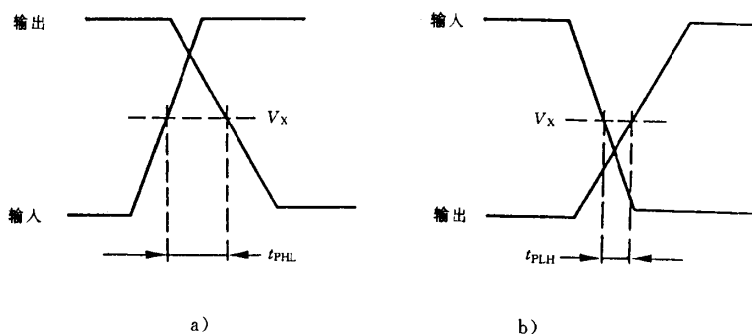
示波器的阻抗应高于被测集成电路的输入和输出阻抗。可以用等效的时间测试仪代替示波器。在示波器内不应存在明显的不同延迟。

负载电容应包括试验支架和测试仪器的所有杂散电容,但不包括被测集成电路的寄生电容。

当连接线的长度可能引起电感效应时,必须给出其详细的布线结构。

d) 测试顺序

直接在示波器显示的波形上测试传输时间。如图 78a 和 78b 所示的例子。



本图仅适用于反相单元

图 78

e) 规定条件

—— 环境温度或参考点温度。

- 电源电压。
- 输出负载网络的结构和元器件值,包括杂散电容。
- 输入脉冲条件:
 - 高范围的高电压电平值,低范围的低电压电平值;
 - 宽度;
 - 上升时间;
 - 下降时间;
 - 重复频率。
- 端接电阻 R 。
- 其他端的条件。
- 电压 V_x 。

4.2 延迟时间和转换时间[4],[5]

4.2.1 双极型电路[4]

a) 引言

下述方法适用于双极型组合数字电路和双极型时序数字电路,但在互连方面要求匹配的传输线和特殊终端的高速电路除外。

b) 目的

本方法给出了反相和非反相电路在输入和输出端接有规定网络时的延迟时间和转换时间值。

c) 电路图

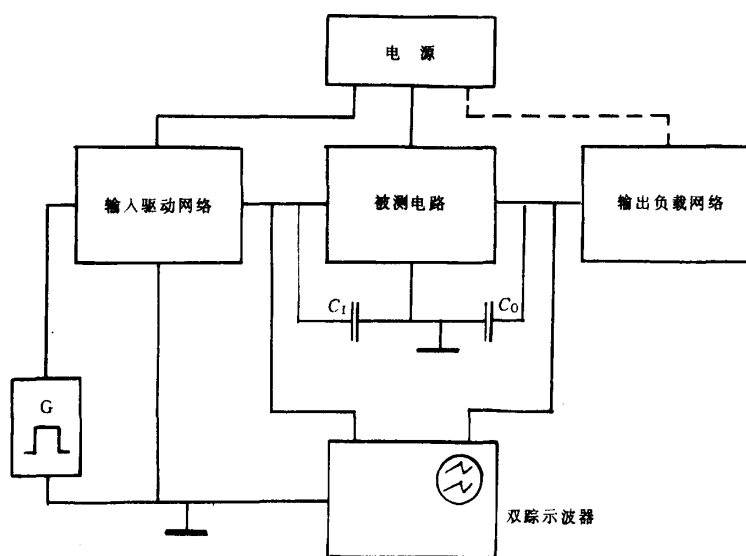


图 79

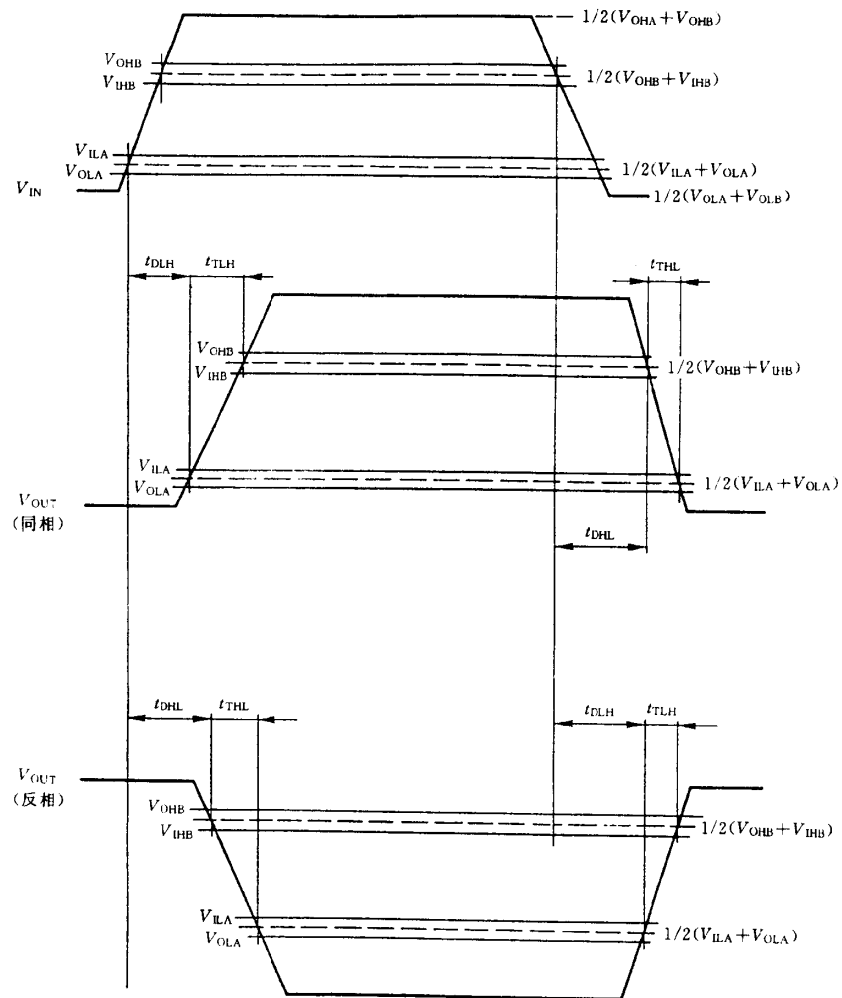


图 80

d) 电路说明和要求

与输入驱动网络连接的脉冲发生器应能提供具有规定的上升时间和下降时间的输入脉冲(见图 80)。

图 80 给出的电压电平应由一个代表典型电路的模拟负载的输入网络提供。如果测试夹具对测试结果有影响,应予规定。

输入和输出电容(C_i 和 C_o)应包括驱动网络和负载网络中的所有杂散电容以及与装配架、测试夹具

和测试仪器关联的杂散电容。但不包括被测集成电路的寄生电容。如适用, C_i 和 C_o 可以包含在输入驱动网络和输出负载网络之中。

示波器的输入阻抗应高于被测集成电路的输入和输出阻抗, 或应包含在输入驱动网络和输出负载网络之中。可以用一个等效的时间测试仪代替示波器。

示波器不应该存在明显的不同延迟。

e) 测试顺序

直接在示波器显示的波形图上测试传输时间。如图 80 所示。

f) 规定条件

- 环境温度或参考点温度。
- 电源电压。
- 输入驱动网络和输出负载网络的结构和元器件值。
- 输入脉冲条件:
 - 高电压和低电压值(见图 80);
 - 宽度;
 - 上升时间;
 - 下降时间;
 - 重复频率。
- 其他端的条件。
- 电容 C_i 和 C_o 。

4.2.2 MOS 电路[5]

4.1.2 叙述的方法作如下修改后适用于 MOS 集成电路的转换时间的测试:

在规定条件的最后一条:“输出电压 V_y 和 V_z ”替代“电压 V_x ”。

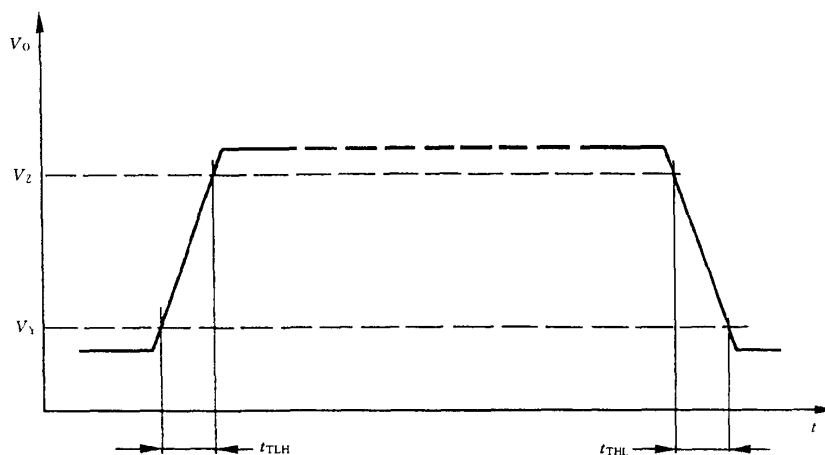


图 81

4.3 建立时间[8]和保持时间[9]

a) 目的

测试预置输入相对于时序电路的触发输入的最小建立时间和最小保持时间, 这些时间是产生正确的转换所必须的。

注: 当加到预置输入端的适当信号与加到触发输入端的规定电平和(或)转换相一致时, 时序电路将转换成不同的输出组态。但当这种相一致的持续时间小于被测集成电路的特性值时, 时序电路不发生转换。

b) 电路说明和要求

脉冲发生器应提供两个同步相互间相位可调的输出脉冲。

对某些种类的时序电路(例如 D 触发器),延迟脉冲的重复频率应是基准脉冲频率的一半。这一点在详细规范中规定;否则,这两个脉冲必须有相同的重复频率。

按规定连接驱动网络和负载网络。

必须按规定连接不用的输入端。

示波器和信号检测器的输入阻抗应高于输入和输出测试点的阻抗。可用等效的时间测试仪代替示波器。但该仪器的使用不应引入明显的延迟差。

信号检测器必须包括一个示波器或能显示时序电路的被测输出端是否在两个组态间转换的仪器;信号检测器还必须能指示输出信号是否达到每次转换之间 V_{OH} 或 V_{OL} 的极限值。

示波器和信号检测器应与一个通常是触发脉冲的输入脉冲同步。

c) 电路图

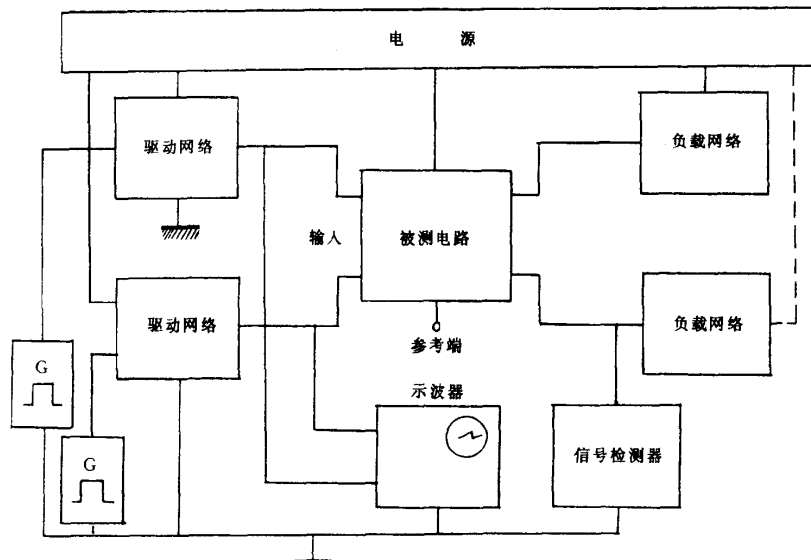


图 82

d) 注意事项

应当避免使用 50% 占空比的输入信号,因为在这个条件下,对某些特定各类的时序电路来说,不充足的建立时间或保持时间可能完不成翻转,而只会改变输出信号的相位。

e) 测试顺序

将被测集成电路接到测试电路中,电源电压、输入电压调整到规定值。

温度调整到规定值,并在测试前后立即检查。

调节脉冲发生器的输出脉冲,使其在被测集成电路的输入端提供规定的脉冲条件。

延迟时间从零增加或减少;该延迟时间在预置脉冲和触发脉冲的规定转换处 V_{IH} 和 V_{IL} 之间的规定电平(对于双极型电路,选用 50% 电平)间测试。观察时序电路的输出,注意翻转出现的时间;输入和输出频率间相互关系应予规定。

测试相应的延迟时间。

选择一对适当的转换(见图 83 和图 84),由测试给出最小建立时间或最小保持时间。

f) 规定条件

- 环境温度或参考点温度。
- 电源电压。
- 输入脉冲条件:
 - 幅度;
 - 宽度;
 - 上升时间;
 - 下降时间;
 - 重复频率;
 - 适用时,输入脉冲间的延迟。
- 输入信号的转换方向。

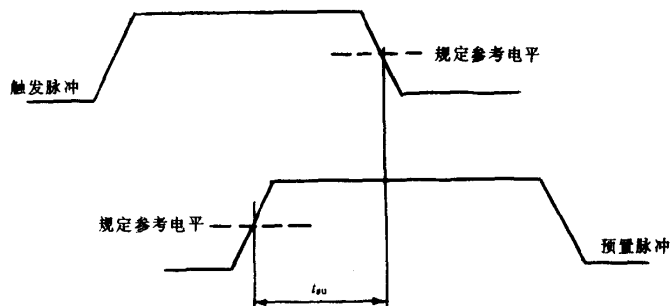


图 83 建立时间(典型波形)

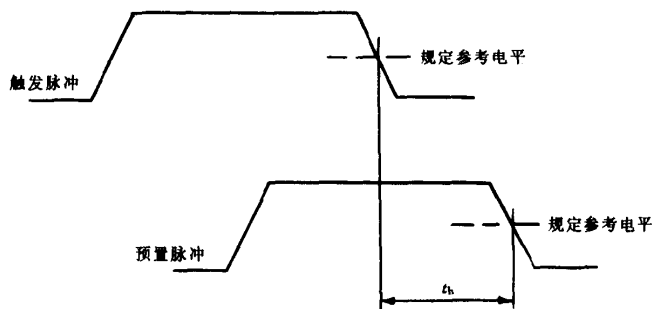


图 84 保持时间(典型波形)

- 被测和非被测输出端的输出负载网络。
- 需要时,输入驱动网络。
- 其他端的条件。
- 其他输入端的时序和波形。

4.4 分辨时间[36]

a) 目的

本方法是用来测试使电路产生正确转换所必须的最小分辨时间。

b) 电路图

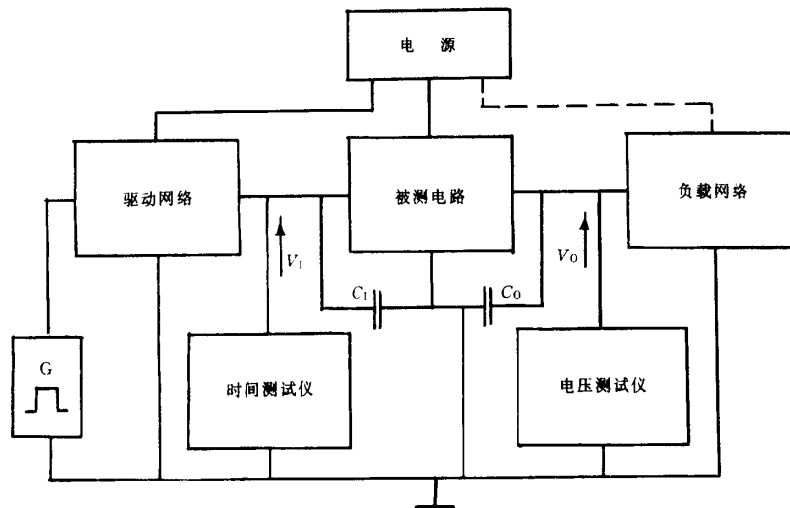


图 85

c) 电路说明和要求

时间测试仪应适于测量加在同一输入端上的输入信号上两个连续转换间的时间间隔。用于测试该时间的基准电平应处于 V_{IHB} 和 V_{ILA} 之间。此外,电压测试仪应能测试被测电路的输出电压。脉冲发生器应能提供可调占空比和可调频率的脉冲。测试电路应按规定提供给其他输入和输出端的电压和负载。测试系统应使被测电路处于规定的温度。

d) 注意事项

无特殊要求。

e) 测试顺序

将被测集成电路接到测试电路中;电源电压和其他条件调到规定值。

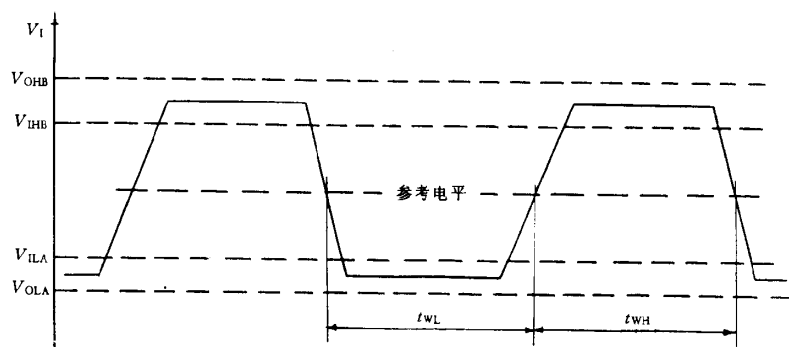
温度调整到规定值,并在测试前后立即检查。

调节脉冲发生器,使其在被测集成电路的输入端提供规定的电压和规定的上升时间和下降时间的脉冲信号。

注:通常,输入脉冲信号的幅度应限制在 $V_{OLA} \sim V_{OHB}$ 范围内。

进一步调节脉冲发生器,保持 t_{WH} 在一规定的持续时间,调节输出脉冲宽度 t_{WL} ,直到输出信号的相应电平正好等于 V_{OLA} 或 V_{OHB} ;保持 t_{WL} 在规定的持续时间,调节输入脉冲持续时间 t_{WH} ,直到输入信号的相应电平正好等于 V_{OLA} 或 V_{OHB} 。

测得的输入脉冲持续时间 t_{WL} (或 t_{WH}) 就是规定持续时间 t_{WH} (或 t_{WL}) 的最小分辨时间 (见图 86)。



$$t_{\text{resL}} = t_{\text{WL}} (\text{给定 } t_{\text{WH}}) \quad t_{\text{resH}} = t_{\text{WH}} (\text{给定 } t_{\text{WL}})$$

图 86 分辨时间 t_{res}

f) 规定条件

- 环境温度或参考点温度。
- 电源电压。
- 需要时输入驱动网络,或脉冲发生器输出阻抗。
- 输入脉冲条件:
 - 幅度;
 - 持续时间, t_{WL} 和 (或) t_{WH} ;
 - 上升时间;
 - 下降时间。
- t_{WL} 和 t_{WH} 的参考电平。
- 输出负载网络。
- 其他端的条件。
- 输入与输出频率之比。
- 输入和输出电容 C_1 和 C_0 , 包括与装配架和测试夹具有关的杂散电容。
- V_{OLA} 或 V_{OHB} 的值。

4.5 输出允许时间和禁止时间(对于三态输出)[49]

a) 目的

本方法是用来测试有三态输出的数字集成电路的输出允许时间和禁止时间。

b) 电路图

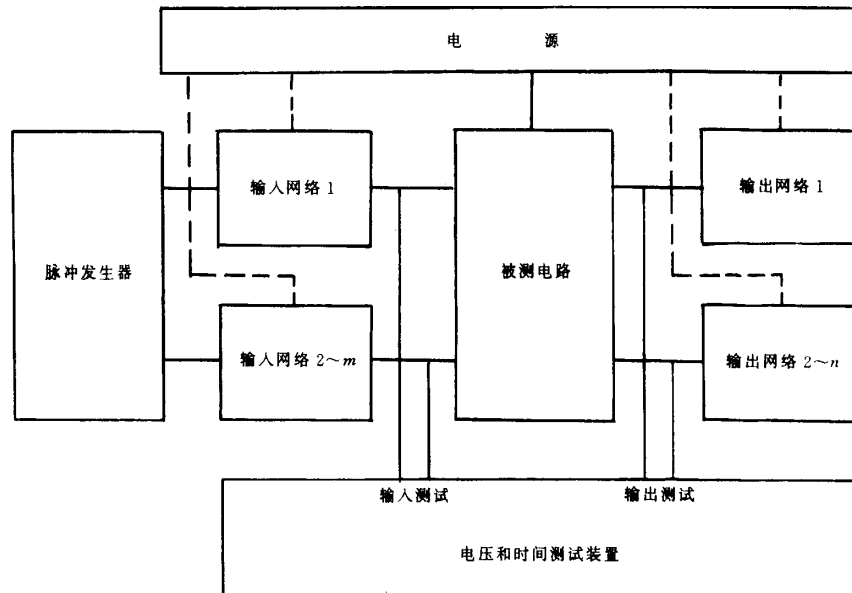


图 87

c) 电路说明和要求

测试装置应能产生适合于输出控制输入和其余输入的脉冲,直到达到要求为止。同时测试装置也能在规定的参考电压电平下测试信号的时间关系。

测试电路应为被测输出端提供规定的负载。图 87 所示的是一个适于 TTL 逻辑的负载网络。另外,测试装置应给出其他端的电压电平和负载,并应保持被测电路在规定温度下。

注:为了能区别三态输出的三种不同状态(低电平、高电平和高阻态),高阻态时的输出应拉到与允许时的输出正相反的电压电平。该电压电平由负载网确定。

d) 测试顺序

温度调整到规定值,并在测试前后立即检查。按规定连接输入端、输出端和其他端。按规定接入电源电压(如:以规定的顺序)。

调节脉冲发生器,使其在被测集成电路的输入端提供规定的幅度、宽度和重复频率的脉冲信号。

根据输出允许信号从无效状态到有效状态的转换和输出从高阻态(Z)到高(H)电平或低(L)电平的转换之间的时间间隔,测试输出允许时间(见图 88)。

根据输出允许信号从有效状态到无效状态的转换和输出从高(H)电平或低(L)电平到高阻态(Z)的转换之间的时间间隔,测试输出允许时间。

所有的测试均在规定的参考电压电平下进行。

注:由于转换时间可能不同,有必要确定两个允许时间和两个禁止时间(Z 到 L、Z 到 H 以及 L 到 Z、H 到 Z)。

e) 规定条件

——环境温度或参考点温度(T_{amb} 或 T_{ref})。

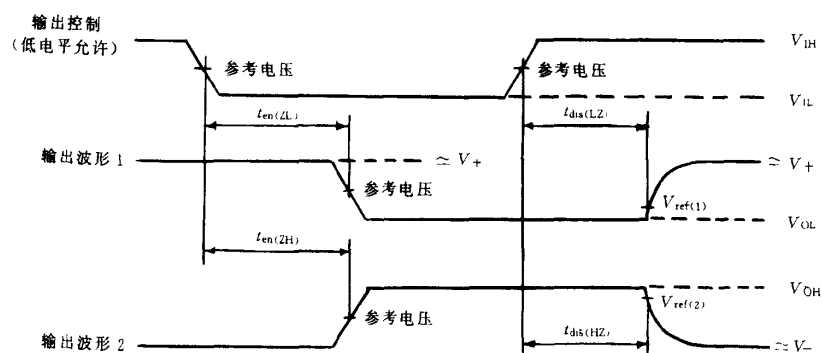
——电源电压。

——输入脉冲条件:

——上升时间 t_r ;

——下降时间 t_f ;

- 幅度；
- 重复频率；
- 适用时建立时间和保持时间；
- 持续时间。
- 输入网络。
- 输出网络和负载网络，包括负载电容 C_L (C_L 包括寄生电容)。
- 其他端的条件。
- 测试时间的参考电压电平。



$t_{en}(ZH)$ 或 $t_{en}(ZL)$ —— 输出允许时间。

$t_{dis}(HZ)$ 或 $t_{dis}(LZ)$ —— 输出禁止时间。

$V_{ref(1)}$ 或 $V_{ref(2)}$ —— L 转换到 Z (或 H 转换到 Z) 输出禁止时间的参考电压。

V_+ 或 V_- —— 输出从 L 电平到 Z 态 (或 H 电平到 Z 态) 时的稳态输出电压。

注：波形 1 是由内部条件决定的输出波形，这一内部条件决定其输出在除了输出控制禁止以外都为低电平。

波形 2 也是由内部条件决定的输出波形，这一内部条件决定其输出在除了输出控制禁止以外都为高电平。

图 88 输出允许时间和禁止时间的测试

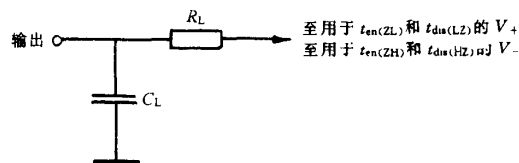


图 89 适用 TTL 或等效逻辑的输出负载网络示例

4.6 存储器的特定时间[50]~[54]

概述

下述的测试方法可以用于确定存储器集成电路特定的参数值。这些方法也可以适用于自动测试程序。这些方法可以视为基准方法，根据需要可以用于确定某一具体参数的准确值。

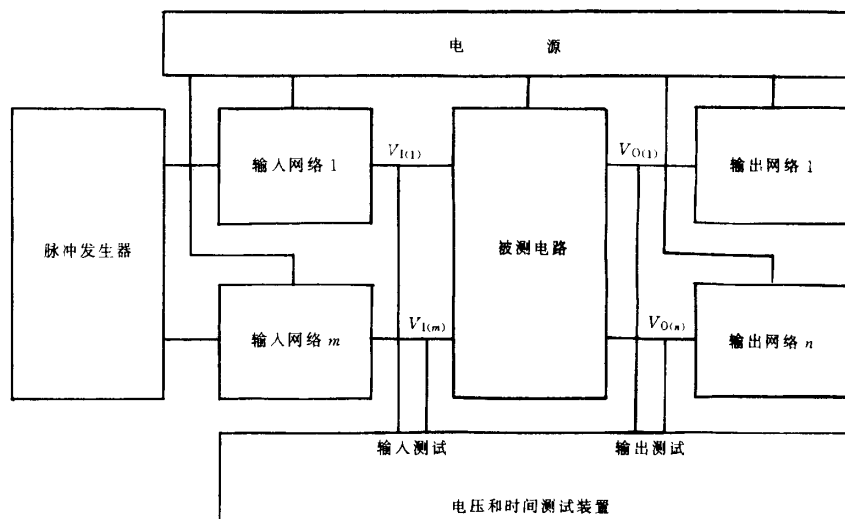
a) 目的

本方法是用来测试下列有关存储器集成电路的存储单元的动态特性和定时要求：

- 地址存取时间；

- 片选存取时间；
- 读存取时间；
- 写恢复时间；
- 最小写脉冲的持续时间(脉宽)。

b) 电路图



注：在公用输入端/输出端的情况下，需要有输入(输出)分离网络。

图 90 测试电路

c) 电路说明和要求

测试装置应能产生适合于地址输入、数据输入以及其他任何规定输入的信号脉冲和脉冲图形，直到达到要求为止。此外，测试装置也能测试规定参考电压下的信号的时间关系。

另外，测试装置必须在其他端提供电压和负载，并为具有公共输入(输出)端的电路提供适当分离的方便。

d) 测试顺序

测试线路如图 90 所示，被测电路置于规定温度条件下。按规定连接输入端、输出端和其他端。按规定接入电源电压(例如，在规定的顺序)。

调节脉冲发生器，使其在被测电路的输入端提供规定的脉冲电平、宽度(脉宽)、重复频率、延迟时间和上升、下降时间的脉冲信号。

d1) 地址存取时间的测试[50]

借助于脉冲发生器，将规定的数字写入测试期间要使用的存储单元。

在随后的读操作期间，需改变外加的地址信号使数据从一个规定单元转换到另一个单元，这两个单元存储互补的数据。

为不影响地址存取时间，应尽可能早地施加存储器读操作需要的所有其他输入信号。地址存取时间根据地址发生变化到输出端出现有效数据之间的时间间隔进行测试。测试在规定的参考电压下进行(见图 91)。

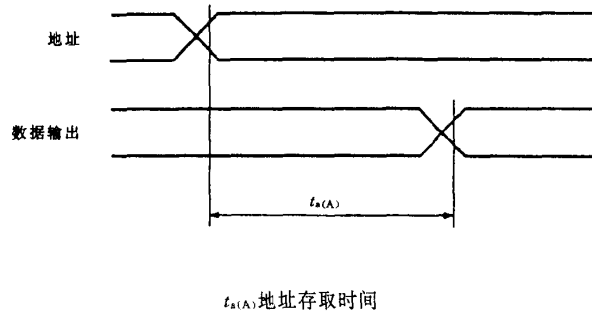


图 91 地址存取时间的测试

d2) 片选存取时间的测试[51]

借助于脉冲发生器,将规定的写入测试期间要使用的存储单元。

为不影响允许和/或片选存取时间,应尽可能早地施加存储器读操作需要的所有其他输入信号。允许和/或片选时间是允许和/或片选信号从无效转换为有效,到输出产生有效数据之间的时间间隔。测量在规定的参考电压下进行(见图 92)。

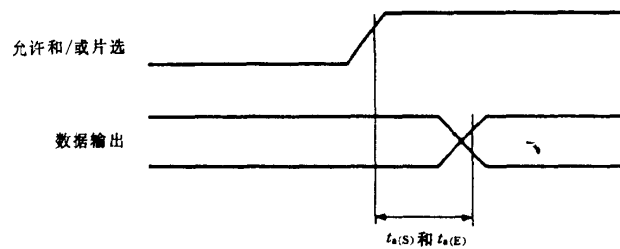


图 92 允许和/或片选存取时间的测试

d3) 读存取时间的测试[52]

借助于脉冲发生器,将规定的写入测试期间要使用的存储单元。

注: 本方法只适用于输入和输出端独立的存储器。

测试程序分两步:

- a) 将一位数据写入存储单元;
- b) 当进行操作时,该数据应在输出端产生一个变化。

读存取时间根据从一个写操作到一个读操作的转换和输出端出现有效数据之间的时间间隔进行测试(见图 93)。

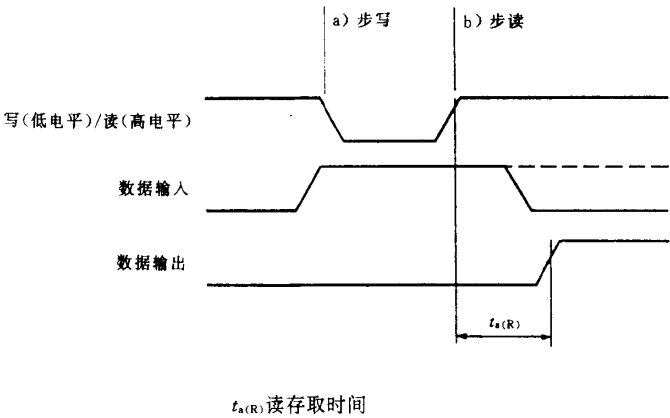


图 93 读存取时间的测试

d4) 写恢复时间的测试[53]

借助于脉冲发生器,将规定的数字写入测试期间要使用的存储单元。

注: 本方法只适用于输入和输出端独立的存储器。

写脉冲持续时间(脉宽)从最小保证时间开始增加。观察器件的输出,注意写入的数据在下一个读周期内出现错误(与输出的值不相符)的时间。

根据从写脉冲结束到下一个周期的开始(如地址变化)之间的时间间隔测试写恢复时间,测试在规定的参考电压下进行。

注: 存储器在读状态中正确操作所需的所有其他信号,对于规定的定时要求应考虑留有足够的余量,以致对测量值不产生影响。

典型波形见图 94。

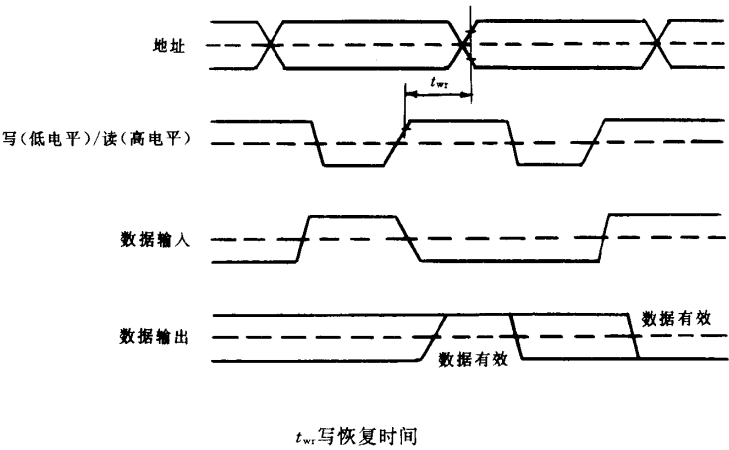


图 94 写恢复时间的测试(通过地址信号变化开始下一个周期)

d5) 最小写脉冲持续时间(脉宽)的测试[54]

借助于脉冲发生器,将规定的数字写入测试期间要使用的存储单元。

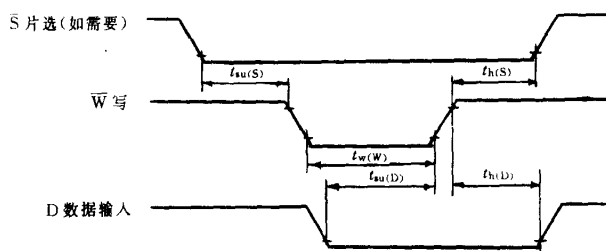
测试程序包括三个步骤:

- a) 按规定将数据写入存储单元;
- b) 用规定的互补数据改写存储单元;

c) 读出数据并与 b) 步骤中写入的数据比较。

以 b) 步骤中连续减少写脉冲持续时间(脉宽)的方式反复执行上述三个步骤,直到 c) 步骤中相比较的数不再取得一致为止;然后增加脉冲持续时间(脉宽),直到再次取得一致。这一脉冲持续时间(脉宽)即为“最小写脉冲持续时间(脉宽)”(见图 95)。

写操作所必须的其他所有信号(如:片选和数据输入)的施加应不影响写操作。



$t_w(W)$ —写脉冲持续时间(脉宽); $t_{su}(S)$ —写前片选建立时间; $t_{su}(D)$ —写前数据输入建立时间;

$t_h(S)$ —写后片选保持时间; $t_h(D)$ —写后数据输入保持时间

注:对于存储单元是透明锁存的存储器,数据建立时间 $t_{su}(D)$ 应以写脉冲的下降边沿(如上图所示)作为基准。对于存储单元是边沿触发锁存的存储器,数据建立时间应以写脉冲的上升边沿作为基准。

图 95 最小写脉冲持续时间(宽度)的测试

e) 规定条件

- 环境温度或参考点温度(T_{amb} 或 T_{case})。
- 电源电压。
- 输入信号脉冲图形和顺序,包括要求的定时关系,如周期、建立和保持时间。
- 输入信号脉冲的特性,包括上升时间,下降时间和幅度。
- 输入和输出网络(包括杂散电容)。
- 其他端的条件。
- 用于测试的参考电压。
- 规定的存储单元的容量。
- 规定的存储单元的地址。
- 适用时,寻址顺序。

5 时序电路的转换频率[10]

a) 目的

本方法是用来确定时序电路的最大(最小)转换频率是否高于(低于)规定的极限值。

b) 电路图

见图 85。

c) 电路说明和要求

在下列两种情况下,时序电路,尤其是双稳态电路、计数器或移位寄存器将转换成不同的输出组态:

- 1) 某一给定时间内,缺少适当的触发脉冲;
- 2) 其次某一给定时间内,加上适当的触发脉冲。

上面的两个给定时间不必相等。

当任一个信号周期内的这二个时间之和低于决定集成电路最高频率的特性时间值时,电路在最高频率下将不会发生转换。

同样,当这两个时间中的一个时间高于决定集成电路最小频率的特性时间值时,这一电路也不发生转换。

对于某些种类的时序电路,可能需要附加信号。这些附加的信号必须是同步的,相对最初信号的时间延迟是可调的,并且其频率应是最初信号频率的整数倍。

按规定连接被测和非被测输出端的负载网络以及驱动网络。

按规定连接不使用的输入端。

信号测试仪应包括示波器或其他仪器,这些仪器可以表示时序电路的被测端在规定频率下,且与触发脉冲相关的输出状态间的转换情况,还能表示满足输出信号每一次转换的 V_{OHb} 或 V_{OLa} 的极限值。

d) 注意事项

无特殊要求。

e) 测试顺序

将集成电路接到测试电路中;电源电压和输入电压调整到规定值。

温度调整到规定值,并在测试前后立即检查。

调节脉冲发生器,使其在被测集成电路的输入端提供规定的幅度、宽度和重复频率的脉冲。

同样地,调节其他所需的脉冲发生器,并使其延迟调整到规定值。

为了在规定的输出频率下进行正确转换,应通过信号测试仪观察集成电路的输出情况。

f) 规定条件

——环境温度或参考点温度。

——电源电压。

——输入脉冲条件:

——幅度;

——宽度;

——上升时间;

——下降时间;

——重复频率;

——适用时,输入脉冲间的延迟。

——输入信号的转换方向。

——被测和非被测输出端的输出负载网络。

——需要时,输入驱动网络。

——输出信号的重复频率。

——其他端的条件。

——其他输入端的顺序和波形。

6 数字集成电路的功能检验方法

a) 目的

验证数字集成电路的功能。

b) 电路图

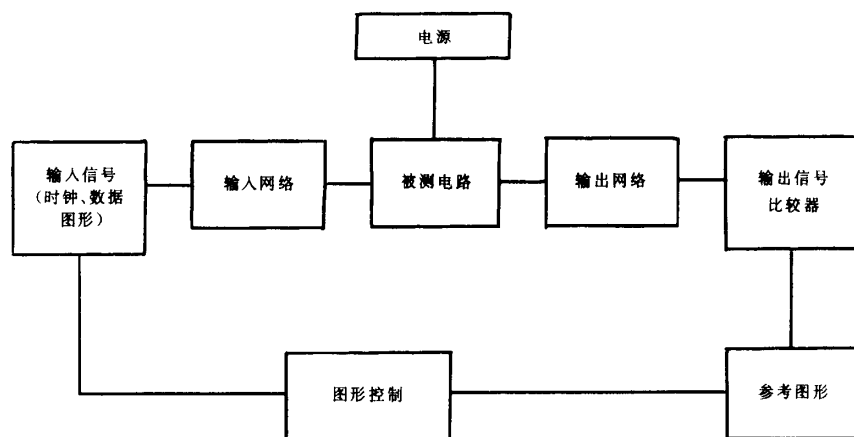


图 96

c) 电路说明和要求

该测量装置应能提供必要的电源电压,而且如果使用一种以上的电源,它也应能够在适当的地方提供适当的顺序来施加和撤除这些电源,并且控制其升降速度。该测量装置应能使被测的集成电路处于规定的温度。它应能提供规定的输入图形,亦即输入信号电压或电流所规定的顺序与组合,使之满足规定的输入定时条件,而且还要提供所引起的输出图形。它还应能对实际的输出信号与输出图形进行比较。

该输入图形发生器应能实现要加以验证的被测集成电路的功能操作,对于每一个被测试的操作,该输入图形发生器应提供任何顺序与组合的输入信号,这对于在施加实现操作的测试图形之前使集成电路进入所要求的状态,是很必要的。该参考图形发生器应提供输出图形,该图形由操作产生。这些基本的定时条件和输入与输出信号之间的关系均应加到输出图形上。

d) 注意事项

特殊的预防:适用时(用于 CMOS 器件的瞬时锁定)。

e) 验证步骤

将被测集成电路的温度设置在规定值,并且在测试前后进行校对。按规定连接输入、输出与电源端。按规定的施加顺序将各组电源电压设置于规定值。将对应于输入图形的输入信号,包括任何必要的初始程序、合理的电压电流水平与基本定时条件等,加到输入端。将每个输出信号与输出图形加以比较,以验证其处于规定的电压或电流范围之内,并且满足任何基本的定时关系。

f) 规定条件

- 环境温度或壳温。
- 各组电源电压:
 - 电压值;
 - 适用时,施加顺序;
 - 适用时,上升和下降速率。
- 输入端连接。
- 输出端连接。
- 适用时,输入信号电压水平与电流水平。
- 适用时,输出信号电压范围与电流范围。
- 基本输入定时条件:
 - 适用时,上升下降时间;

- 建立与保持时间；
- 时钟频率等。
- 基本输出定时条件：
 - 转换时间；
 - 输入输出信号间的关系等。
- 要验证的功能操作：
 - 输入初始预置；
 - 要实行操作的输入图形；
 - 输出图形。
- 输入与输出网络。
- 电路图。
- 适用时，负载条件。
- 适用时，附加网络。
- 其他引出端的条件。

第 V 篇 接收和可靠性

第 1 节 电耐久性试验

1 一般要求

见 GB/T 16464—1996 中的第Ⅶ篇第 3 节第 2 章。

2 特殊要求

2.1 耐久性试验一览表

对下列各分类的数字集成电路给出耐久性试验的选择：

- 门电路；
- 时序电路；
- 读/写存储器。

对于多片器件，应对每个相关输入测试其规定的输出特性。对于有附加控制端的器件（例如：置位和清除端、允许端）、这些端控制的每一种功能，应至少测一次其规定的输出。

对于未经受全部功能试验的复杂电路，试验数据应正确表示进行了的那些所做的功能试验。

2.2 耐久性试验的条件

表 I 对每类器件分别列出了试验条件和试验电路，除另有规定外，这些试验对双极型和 MOS 电路都是适合的。

有关规范应规定适用的试验。

2.3 接收试验的失效判定特性和失效判据

允许不改变这些特性极限（按 GB/T 16464—1996 中第Ⅶ篇第 3 节 2.3.1 确定）。

2.4 可靠性试验的失效判定特性和失效判据

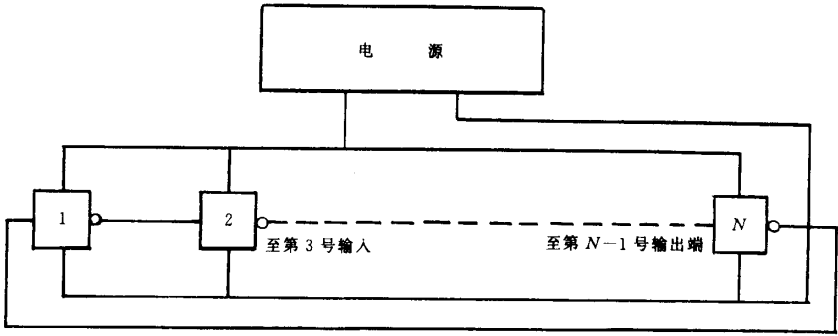
尚在考虑中。

2.5 误试时的程序

当器件由于试验错误（如试验设备故障、测试设备故障或操作人员的失误）而失效时，应记录失效数据并说明其原因。

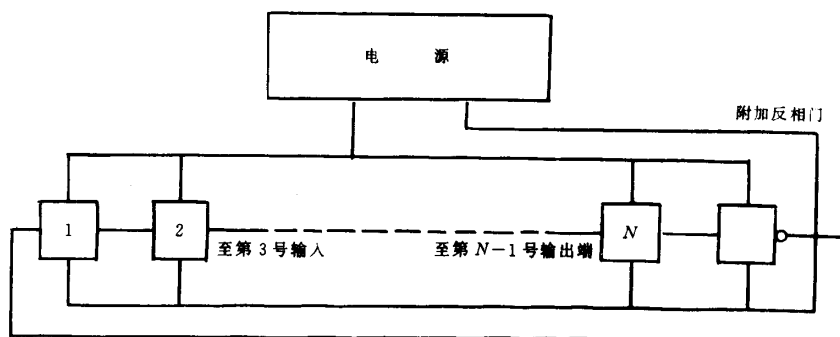
表 Ⅰ 耐久性试验的条件

试 验	器件类或分类	试 验 条 件	
		温 度	工 作 条 件
高温环形振荡器	门电路	$T_{amb} = T_{op\ max}$	对反相型门电路,奇数号集成电路用串联方式连接,最后一个门的输出与第一个门的输入连接(如图 97),从而产生相反的相位。 对非反相型门电路,应对非反相门串接一个反相器(如图 98)。在这种情况下,同相门数可以是奇数,也可以是偶数。
高温动态工作寿命	门电路 时间电路	$T_{amb} = T_{op\ max}$	给规定的输入端施加规定的脉冲序列。 其他端的条件应予规定(见图 99)。
	读写存储器	$T_{amb} = T_{op\ max}$	给规定的输入端施加规定的脉冲序列。 其他端的条件应予规定。
高温静态工作寿命	门电路 除下列电路外的时序电路: 1) 动态(MOS)电路 2) 读写存储器	$T_{amb} = T_{op\ max}$	施加规定的电压给输入端,其他端的条件应予规定(见图 100)。
	读写存储器	$T_{amb} = T_{op\ max}$	施加规定的电压给适用的规定端,以便写入规定的数字,将它读出并保持。



N—奇数号

图 97 反相的 N 级门环形振荡器



N —与门的数目无关

图 98 非反相的 N 级门环形振荡器

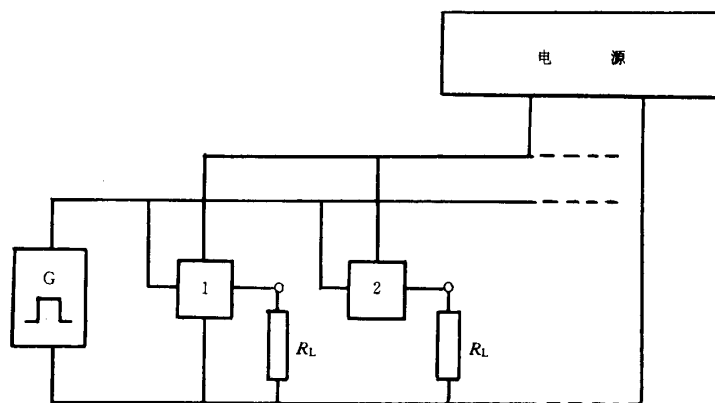


图 99 动态工作寿命

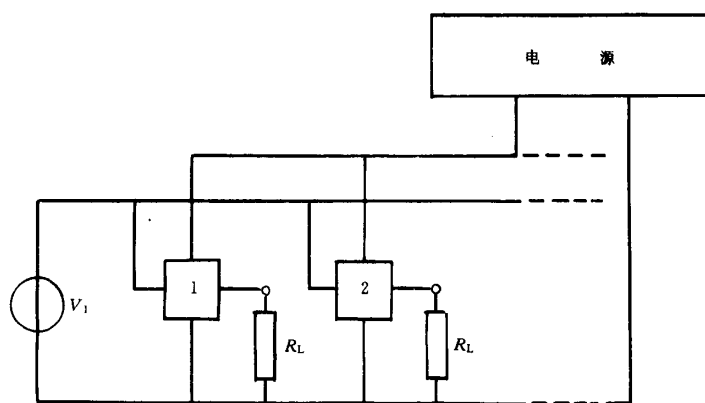


图 100 静态工作寿命